

Laboratorní úlohy v mikroelektronice

Microelectronic Exercises

Kamil Bartošák

Bakalářská práce
2005



Univerzita Tomáše Bati ve Zlíně
Fakulta technologická

Vložit oficiální zadání diplomové/bakalářské práce

Rád bych poděkoval vedoucímu bakalářské práce panu Mgr. Milanu Adámkovi, Ph.D. za neocenitelnou pomoc, odborné rady a věcné připomínky při práci na praktické části i při korekci výsledné formy bakalářské práce.

Souhlasím s tím, že s výsledky mé bakalářské práce může být naloženo podle uvážení vedoucího bakalářské práce a vedoucího katedry. V případě publikace budu uveden jako spoluautor.

Prohlašuji, že jsem na celé bakalářské práci pracoval samostatně a použitou literaturu jsem citoval.

Ve Zlíně, 25. 05. 2005

.....

Kamil Bartošák

Abstrakt

Převodníky analogově – digitální a digitálně - analogové jsou nedílnou součástí většiny elektronických systémů, neboť narůstá trend využití digitálních technologií pro číslicové zpracování analogových informací. Převodníky jsou použity tam, kde je třeba docílit spolupráce mezi analogovými a digitálními elektrickými obvody. Lze je tedy považovat za jakési elektronické rozhraní. Na stránkách této práce jsem se pokusil nastínit funkci vybraných typů A/D a D/A převodníků. A pro tento účel byla navržena čtveřice výukových laboratorních úloh se zaměřením na téma A/D a D/A převodníky.

Analog - to - digital converters and digital - to - analog converters are integral part of most electronic systems, because the usage of digital technologies for numerical processing of analog information is growing up. Converters are used to reach cooperation among analog and digital electronic circuits. Converter can be described as a kind of electronic interface. I had tried to explain on the pages of this thesis how operate some chosen types of A/D and D/A converters. For this purpose has been designed quaternion of laboratory tutorial exercises with focusing on A/D and D/A converters.

OBSAH

ÚVOD	6
1 TEORIE	8
1.1 PŘEVODNÍKY A JEJICH VLASTNOSTI	8
1.1.1 Digitalizace analogového signálu	8
1.1.2 Vzorkování signálu	9
1.1.3 Chyby vzorkování	10
1.1.4 Přesnost převodu A/D a D/A převodníků	11
1.2 A/D PŘEVODNÍKY	13
1.2.1 Paralelní komparační A/D převodník	16
1.2.2 A/D převodník s dvojí integrací	17
1.2.3 A/D převodník s postupnou aproximací	19
1.3 D/A PŘEVODNÍKY	22
1.3.1 Paralelní D/A převodníky	24
1.3.2 Paralelní D/A převodníky s váhovaním rezistory	24
1.3.3 Paralelní D/A převodníky s binárně váhovanou rezistorovou sítí	24
1.3.4 Paralelní D/A převodníky s rezistorovou sítí $R - 2R$	26
2 PRAKTICKÁ ČÁST	28
2.1 ÚLOHA Č.1 – NÁVRH A OVĚŘENÍ VLASTNOSTÍ 2-BITOVÉHO PARALELNÍHO KOMPARAČNÍHO A/D PŘEVODNÍKU	28
2.1.1 Návrh paralelního komparačního A/D převodníku	28
2.1.2 Zlepšení linearitu paralelního komparačního A/D převodníku	37
2.1.3 Zhodnocení laboratorní úlohy č.1	37
2.2 ÚLOHA Č.2 - NÁVRH A OVĚŘENÍ VLASTNOSTÍ 2-BITOVÉHO PARALELNÍHO D/A PŘEVODNÍKU S BINÁRNĚ VÁHOVANOU REZISTOROVOU SÍTÍ	38
2.2.1 Návrh D/A převodníku s binárně váhovanou rezistorovou sítí	38
2.2.2 Ověření funkčnosti převodníku pro jiná referenční napětí	47
2.2.3 Zhodnocení laboratorní úlohy č.2	49
2.3 ÚLOHA Č.3 - OVĚŘENÍ VLASTNOSTÍ 8-BITOVÉHO APROXIMAČNÍHO A/D PŘEVODNÍKU	49
2.3.1 Princip činnosti aproximačního A/D převodníku	49
2.3.2 Zadání laboratorní úlohy č.3	51
2.3.3 Měření laboratorní úlohy č.3	52
2.4 ÚLOHA Č.4 - OVĚŘENÍ VLASTNOSTÍ 8-BITOVÉHO D/A PŘEVODNÍKU S NAPĚŤOVÝM VÝSTUPEM	55
2.4.1 Princip činnosti D/A převodníku s napěťovým výstupem	55
2.4.2 Zadání laboratorní úlohy č.4	56
2.4.3 Měření laboratorní úlohy č.4	57
ZÁVĚR	59
SEZNAM POUŽITÝCH ZDROJŮ	62
SEZNAM POUŽITÝCH SYMBOLŮ A ZKRATEK	63
SEZNAM OBRÁZKŮ	64
SEZNAM TABULEK	65
SEZNAM PŘÍLOH	66

ÚVOD

Převodníky jsou využívány v širokém rozsahu průmyslových odvětví. Tyto elektronické obvody lze nalézt v domácí spotřební elektronice pro běžného uživatele, v komponentách počítačových sestav, ale taktéž ve složitých měřicích zařízeních vědeckých pracovišť. Jsou aplikovány všude tam, kde probíhá přenos signálů mezi analogovými a číslicovými obvody. Pokud je požadováno analogovou veličinu získanou měřením dále zkoumat, je obvykle tato veličina převedena na signál (informaci), která je čitelná pro číslicové obvody. Digitální informace může být dále zpracovávána prostředky výpočetní techniky a poté uchována v číslicové formě na paměťových médiích, z nichž je opakovaně reprodukovatelná. Číslicová informace může být opačným postupem převedena zpět na analogový signál. Funkci převodu veličin vykonávají převodníky.

Tato bakalářská práce je zaměřena na problematiku A/D a D/A převodníků a klade si za cíl rozšířit náplň laboratorních úloh o uvedenou problematiku v předmětu Mikroelektronika.

Chtěl jsem poskytnout úlohy v takové podobě, aby co nejvíce vystihly daný problém, byly pro studenty pochopitelné a odpovídaly míře probrané látky ve výuce. Studenti mohou stavět na svých teoretických znalostech a v laboratorních cvičeních je uplatnit. Byl také kladen důraz na to, aby tyto úlohy nebyly příliš obtížné z hlediska vlastní realizace. Bakalářská práce je rozčleněna do dvou hlavních kapitol – teorie a praktická část.

V teoretické části lze nalézt základní vysvětlení principu funkce převodu a obecný popis vybraných analogově – číslicových a číslicově – analogových převodníků. Vysvětleny budou základní vlastnosti těchto elektronických obvodů a okrajově i jejich použití. Podkapitola A/D převodníky se věnuje principu funkce paralelního komparačního A/D převodníku, A/D převodníku s dvojí integrací a aproximačního A/D převodníku. Princip funkce D/A převodníku s binárně váhovanou rezistorovou sítí a D/A převodníku s rezistorovou sítí $R-2R$ je prezentován v podkapitole D/A převodníky.

Kapitola praktické části přímo navazuje na část teoretickou. V praktické části jsou aplikovány teoretické znalosti na praktický návrh převodníků, realizaci navržených zapojení a měření parametrů sestavených zapojení elektrických obvodů. Praktická část je

rozdělena na čtyři podkapitoly. Každé kapitole odpovídá jedna navržená úloha pro laboratorní cvičení v tématickém okruhu převodníky pro předmět Mikroelektronika.

Rozsah znalostí potřebných pro realizaci a pochopení jednotlivých laboratorních úloh odpovídá rozsahu učiva probíraného na přednáškách z předmětů Mikroelektronika a Elektrotechnika.

1 TEORIE

1.1 Převodníky a jejich vlastnosti

1.1.1 Digitalizace analogového signálu

Analogově - digitální převodníky (*Analog - to - Digital Converters*) patří mezi elektronické obvody využívané k převodu analogového signálu na signál číslicový, tedy k **digitalizaci**. Za analogový přitom považujeme takový signál, který je vytvořen základní elektrickou veličinou, nejčastěji napětím. Okamžitá hodnota veličiny obsahuje informaci, kterou chceme dále zpracovávat pomocí prostředků číslicové techniky.

Přesnost zachycení okamžitých hodnot analogové veličiny je nejdůležitější vlastností A/D převodníku. Analogová vstupní veličina se mění v čase, tudíž schopnost zachytit a digitalizovat rychle se měnící signál je další významnou vlastností. Protože zpracováváný signál může obsahovat jak složky užitečné, nesoucí očekávanou informaci, a zároveň i složky rušivé, které se nedají analogovými obvody odstranit, lze posuzovat i schopnost jednotlivých A/D převodníků, tyto neužitečné složky eliminovat [2].

Výstupní signál převodníku je obvykle generován v binárním kódu, tudíž požadovanou přesnost informace o analogovém signálu určuje počet bitů N výstupního binárního kódu. Výstupní digitální slovo může být dále zpracováno z výstupu převodníku buď paralelně, kdy všechny bity jsou přenášeny současně ve stejném okamžiku po sběrnici s N signálovými vodiči, nebo sériově, kdy jsou po jednom signálovém vodiči v určitém časovém sledu přenášeny jednotlivé bity binárního kódu. V současné době se používá výstupní binární kód N s obvyklou délkou 8, 10, 12, 16 bitů. Pro speciální účely existují převodníky s délkami od 4 bitů do 24 až 30 bitů.

Aby bylo možno analogový signál zpracovávat číslicově, je nutné nejprve tento signál převést pomocí digitalizace na jeho číslicové vyjádření, což je číselná posloupnost okamžitých hodnot signálu vzájemně vzdálených o konstantní časový interval. Výstupní číslicový signál A/D převodníku tedy vyjadřuje jen vybrané diskrétní úrovně vstupní analogové veličiny.

Proces digitalizace zahrnuje:

- **vzorkování** signálu v čase (odběr vzorku vstupního signálu v definovaných okamžicích, daných vzorkovacími impulsy, je tedy převodem signálu spojitého v čase na signál nespojitý),
- **kvantování** vzorků v úrovni (odebraný vzorek je zaokrouhlen na hodnotu, která odpovídá nejbližší kvantovací úrovni, což souvisí s konečným počtem hodnot číslicového signálu. Jde tedy o převod signálu spojitého v úrovni na signál nespojitý),
- **kódování** (proces vyjádření kvantovaných hodnot v určitém kódu).

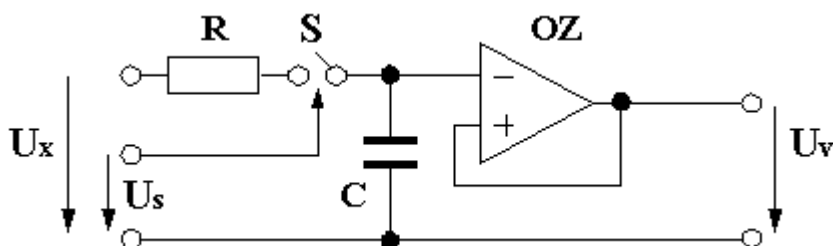
Proces kvantování a kódování se provádí obvykle v jediném bloku: v analogově - digitálním převodníku (dále již ADP) [3].

1.1.2 Vzorkování signálu

Vzorkovač provádí diskretizaci signálu v čase. **Vzorkování** je děj, při kterém se z proměnlivého vstupního analogového signálu odebírají vzorky. Získáváme tak hodnoty vstupního signálu v pravidelných časových intervalech s periodou T_V . Výstupní signál vzorkovače je diskrétní funkcí v čase:

$$x(t) \rightarrow \{x(n \cdot T_V)\}. \quad (1)$$

Vzorkovače s pamětí jsou používány pro vzorkování analogového signálu s požadavkem udržet odebraný vzorek signálu ve vnitřní analogové paměti po určitý čas, potřebný pro zpracování signálu a ustálení jeho hodnoty na výstupu A/D převodníku. Vzorkovač s pamětí se obvykle označuje jako obvod S/H (*sample - hold*).



Obr. 1. Jednoduchý vzorkovací zesilovač

Na obr. 1 je nakresleno schéma zapojení jednoduchého paměťového vzorkovače. Paměťovým prvkem je kondenzátor C , který je připojen na vstup vzorkovače U_x přes spínač S , ovládaný periodickým řídicím signálem U_s . Operační zesilovač OZ zapojený jako sledovač napětí brání vybíjení kondenzátoru C do obvodu připojeného k výstupu. K

dosažení výhodných vlastností vzorkovačů se používá složitějších zpětnovazebních zapojení s OZ.

Vzorkovač s pamětí může pracovat ve dvou režimech. Když je spínač S sepnut a výstupní napětí sleduje napětí vstupní, jde o režim vzorkování (*sample*) - T_S . Pokud je spínač S rozepnut a výstupní napětí je neměnné, jde o režim pamatování (*hold*) - T_H . U vzorkovače je většinou doba vzorkování krátká vzhledem k periodě vzorkovacího signálu T_V . Převodníky, které jsou vybaveny potřebným vzorkovacím obvodem bývají označeny jako převodníky vzorkující (*Sampling Converters*).

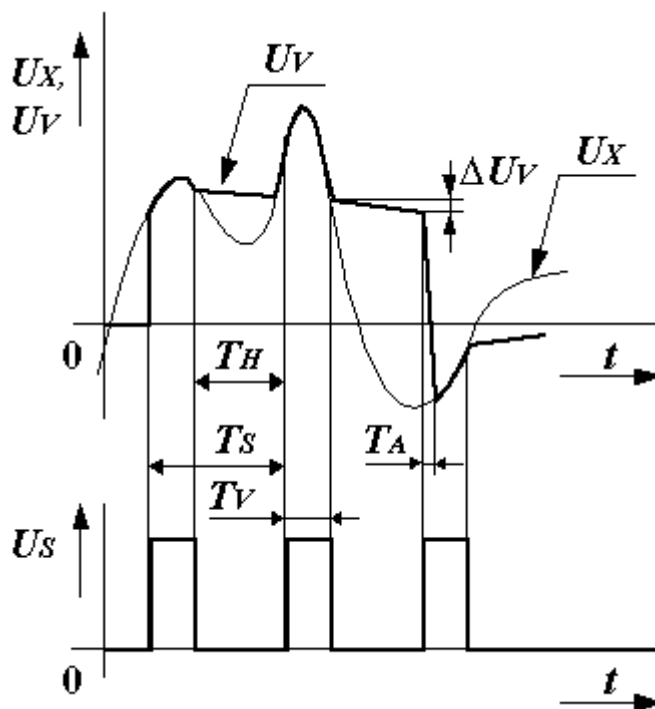
Základní podmínkou správného vzorkování je požadavek, aby vzorkovaný průběh bylo možno převést zpět, tedy rekonstruovat jej na původní průběh bez ztráty informace. Tuto podmínku vyjadřuje tzv. (Shannonův, Kotělnikovův, Nyquistův) vzorkovací teorém, který určuje potřebný vzorkovací kmitočet vzhledem k nejvyššímu kmitočtu spektra vzorkovaného signálu. Vzorkovací kmitočet f_V musí být roven nejméně:

$$f_V \geq 2 \cdot f_{\max} \quad (2)$$

tedy minimálně dvojnásobku nejvyššího kmitočtu spektra vzorkovaného signálu $f_{\max}$. Vzorkování má za následek vytvoření periodického frekvenčního spektra s frekvencí rovnou f_V . Není-li podmínka splněna, dochází k překrytí sousedních period spektra (*aliasing*), což má za následek znehodnocení vzorkovaného signálu. Před vzorkovač se proto zařazuje dolní propust – antialiasingový filtr. Protože tento filtr nelze realizovat se zcela strmým průběhem frekvenční charakteristiky, volí se vzorkovací kmitočet většinou vyšší, než udává vztah (2) [3].

1.1.3 Chyby vzorkování

Skutečný vzorkovač pracuje s určitými chybami (viz. obr. 2). Při přechodu z režimu pamatování do režimu vzorkování se hodnota napětí na výstupu vzorkovače nezmění skokem, ale mění se konečnou rychlostí, která je omezena vlastnostmi zesilovače OZ a konstantou RC . Doba potřebná k tomu, aby se výstupní napětí přiblížilo k požadované hodnotě vstupního vzorkovaného napětí s danou chybou, je nazývána dobou upnutí T_A (*time acquisition*).



Obr. 2. Princip vzorkování v čase

Při skokové změně vstupního napětí během vzorkování se výstupní napětí mění omezenou rychlostí, definovanou jako rychlost přeběhu (*slew rate*). V paměťovém režimu se výstupní napětí v důsledku vybíjení paměťového kondenzátoru mění s časem o ΔU_V , což udává chyba zvaná rychlost změny pamatované hodnoty (*droop rate*).

V důsledku nezanedbatelných časových konstant reálného obvodu se po přechodu řídicího signálu U_S do stavu „pamatování“ odpojí výstupní signál od vstupního s určitou prodlevou (*aperture time*). Tato doba navíc kolísá a způsobuje časovou nejistotu (*aperture jitter, uncertainty time*). Navíc není výstupní napětí U_V ani během doby sledování T_S rovno vstupnímu U_X , což je dáno chybou nuly a zesílení reálného OZ [3].

1.1.4 Přesnost převodu A/D a D/A převodníků

U převodníků je nutné uvažovat statické a dynamické chyby. Statické chyby lze dále rozdělit na chyby aditivní a multiplikativní. Aditivní chyby vznikají působením elektronických prvků, např. nežádoucími změnami parametrů tranzistorů v závislosti na teplotě, úbytky na přechodech PN a zbytkovými proudy spínačů. Chyby multiplikativní mají původ v zesilovačích s nízkým napěťovým zesílením, ve váhových obvodech a v chybách referenčních zdrojů.

K nejvýznamnějším statickým chybám A/D a D/A převodníků patří:

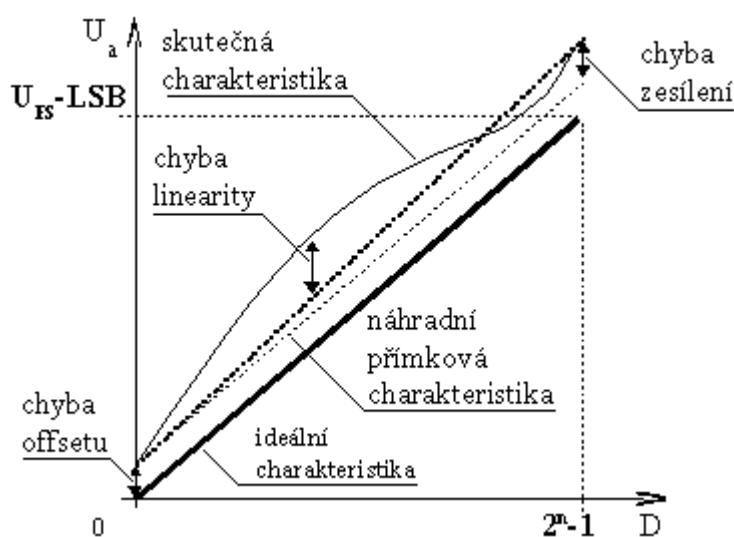
- **Chyba nuly** (offset) se uplatní, pokud při nulové vstupní veličině je na výstupu převodníku veličina nenulová. Tato aditivní chyba je vyjádřena posunutím převodní charakteristiky o konstantní hodnotu. U mnohých převodníků ji lze seřadit na nulovou velikost.
- **Chyba zesílení** je rozdílem sklonu skutečné převodní charakteristiky (nebo její přímkové náhrady) a ideální převodní charakteristiky, opravené o offset. Jde o multiplikativní chybu.
- **Chyba linearity** vyjadřuje maximální odchylku skutečné převodní charakteristiky od náhradní přímkové charakteristiky.

Důsledkem kvantování je vznik **kvantizačního šumu**, ten je vlastně rozdílem kvantovaného a vstupního měřeného analogového signálu a může u ideálního ADP nabývat velikost $\pm q/2$ (viz. obr. 4). Výkon kvantizačního šumu je rovnoměrně rozdělen ve spektru od kmitočtu 0 do poloviny vzorkovacího kmitočtu.

Dynamické chyby převodníků bývají způsobeny rychlými změnami veličin v obvodu. Po skokové změně vstupního napětí přivedeného na A/D převodník (popř. vstupního kódu na D/A převodník) vzniká přechodný děj, během něhož dochází k nepřesnostem v převodu, protože se postupně ustalují všechny měnící se obvodové veličiny. Po ustálení veličin dynamické chyby odezní. V důsledku dynamických chyb s rostoucím kmitočtem vstupního napětí klesá rozlišovací schopnost převodníku [2].

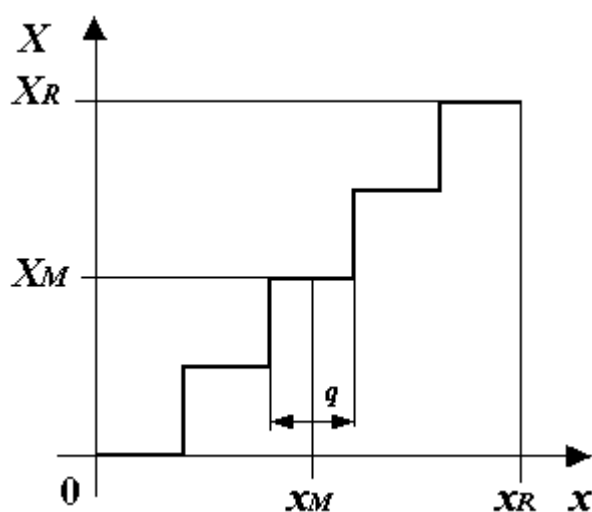
K dynamickým chybám D/A převodníku patří:

- **Hystereze** - hodnota výstupu nezávisí na okamžité hodnotě vstupního čísla, ale i na tom, z jakého směru bylo hodnoty dosaženo,
- **Krátké přechodové špičky** – objevují se hlavně během přepínání většího počtu bitů vstupního slova, kdy mohou několikanásobně přesáhnout hodnotu kvantovacího kroku,
- **Doba přepnutí** - udává zpoždění od změny vstupního čísla do odpovídající změny výstupní hodnoty.



Obr. 3. Základní chyby D/A převodníků

1.2 A/D Převodníky



Obr. 4. Princip kvantování v úrovních

Analogově-digitální převodníky jsou určeny k převodu vstupního analogového signálu na číselnou hodnotu. V převodníku AD dochází ke kvantování vstupního signálu v úrovních:

$$x(n \cdot T_v) \rightarrow X(n \cdot T_v) = X_n. \quad (3)$$

Výstup X_n může nabývat pouze konečného počtu hodnot, které jsou u většiny převodníků rovnoměrně rozloženy přes celý rozsah vstupní analogové stupnice (*Full Scale*, dále již FS). Existuje tedy konečný počet kvantovacích vstupních hladin odpovídající konečné množině stavů číselného výstupu převodníku. Kvantování znamená vlastně zaokrouhlení

vstupní veličiny x_M na nejbližší kvantovací hladinu s odpovídající číselnou výstupní hodnotou X_M .

Vzdálenost kvantovacích hladin je nejčastěji ekvidistantní a nazývá se **kvantovací krok q** . Ten odpovídá číselné váze posledního a nejméně významného bitu (*Least Significant Bit*, LSB) výstupního číselného kódu. LSB určuje základní krok na ose číslicového signálu a zároveň na analogové straně rozlišovací schopnost převodníku. S rozlišovací schopností souvisí velikost kvantovací chyby, která vzniká během procesu kvantování a nabývá hodnoty minimálně $\pm \frac{1}{2}$ LSB, tj. $\pm \frac{1}{2} q$ (viz. obr. 4).

První a nejvýznamnější bit v sekvenci bitů binárního čísla generovaného převodníkem, který představuje nejvyšší binární řád, se označuje MSB (*Most Significant Bit*) a odpovídá mu analogová hodnota poloviny FS. Převodní charakteristika A/D převodníku je schodová funkce, protože číslicový signál obsahuje jen vybrané diskrétní úrovně ze vstupního analogového signálu.

Převodník s přirozeným binárním kódem o N bitech je schopen na analogové straně reprezentovat $n - 1$ nenulových úrovní analogové veličiny, přičemž platí vztah:

$$n = 2^N. \quad (4)$$

Jde-li o lineární N -bitový kvantizér mající konstantní kvantizační krok, je kvantizační krok vyjádřen vztahem:

$$q = \frac{FS}{n}. \quad (5)$$

Nejvyšší napěťová úroveň vstupní veličiny A (o váze MSB) pak bude:

$$A_{\max} = \frac{(n-1)}{n} + 0,5 \cdot q. \quad (6)$$

Při užití osmibitového převodníku máme rozlišovací schopnost 1/256, tj. přibližně 0,39 % z hodnoty rozsahu a kvantovací chybu 0,185% z hodnoty rozsahu. Je-li rozsah FS roven 2V, musí být převodník schopen rozlišit přibližně 8 mV [2].

Převodníky provádějí kromě kvantování také zároveň i kódování výstupní číselné hodnoty:

$$X_n \rightarrow N. \quad (7)$$

Výstupem převodníku je číselný kód N .

Nejčastěji používané kódy jsou:

- **přímý binární** - bity mají význam $[2^n, 2^{n-1}, \dots, 2^1, 2^0]$;

- **BCD (binary coded decimal), binárně dekadický** - bity jsou uspořádány po čtveřicích, které kódují vždy jedno dekadické číslo 0 až 9;
- **Grayův kód** – tento typ kódu nepatří mezi váhové kódy, jelikož bity nemají pevné ohodnocení váhou. Při změně čísla o ± 1 se tento kód mění vždy pouze v jediném bitu.

Pro převod analogového signálu na číslo jsou používány dva způsoby:

- I. **Komparační (neintegrační) převod** - vstupní měřený signál porovnáváme s kvantovanou referenční veličinou a komparátory vyhodnotí, který signál je větší. Výstupním údajem bude binární číslicové slovo.
- II. **Integrační převod** - vstupní měřený signál i referenční veličina se v určité časové sekvenci přivede do integrátoru a komparátor připojený na jeho výstupu určuje sekvenci impulsů, které vypovídají o hodnotě vstupní analogové veličiny. Informaci o vstupní veličině dále přenáší počet impulsů, jejich kmitočet nebo kódovaná sekvence impulsů. Tato informace může být převedena číslicovým blokem na binární číslicové slovo.

Převodníky jsou tříděny i podle jiných hledisek. Bývá například používáno třídění na převodníky s přímým a nepřímým vyhodnocením analogové veličiny:

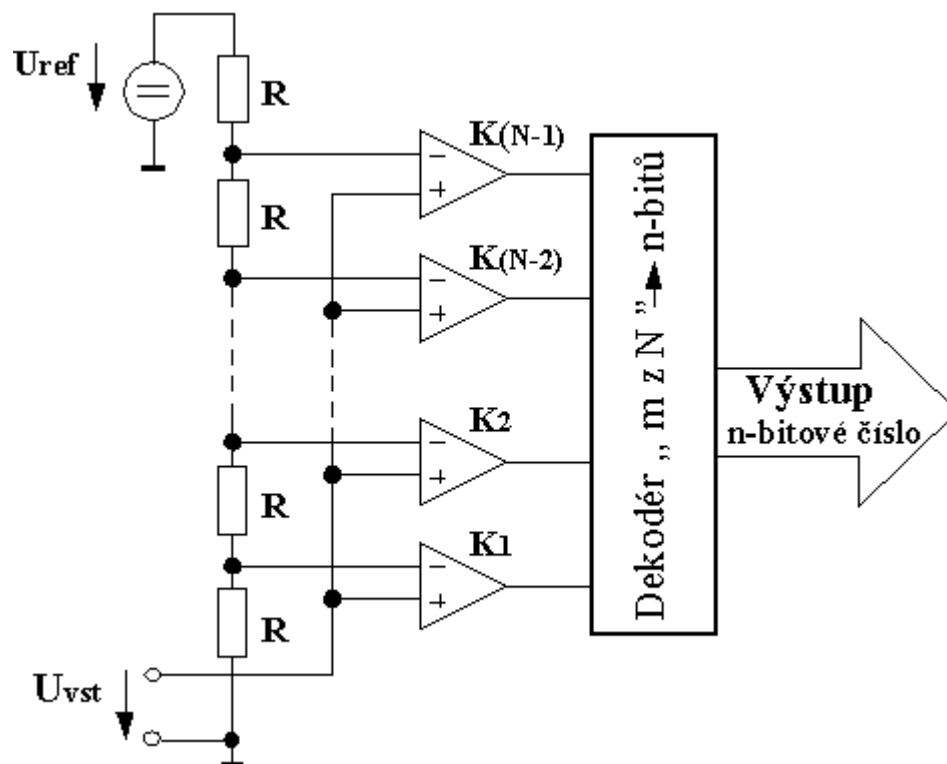
- **A/D převodníky s přímým vyhodnocením** porovnávají hodnoty vstupní měřené veličiny s vybranými kvantizačními úrovněmi současně (paralelní převodníky) nebo postupně (kaskádní převodníky), a to tak, že každá úroveň má vlastní komparátor.
- **A/D převodníky s nepřímým převodem** využívající postupného porovnávání vstupní měřené veličiny s vzorky referenčního napětí, dodávanými na vstup jediného komparátoru v posloupnosti, kterou řídí určité logické obvody. U těchto převodníků je vstupní analogová veličina porovnávána s výstupní veličinou D/A převodníku, přičemž číslicový vstup tohoto převodníku je měněn tak, aby se obě veličiny k sobě přibližovaly. Pokud se veličiny dostatečně přiblíží, převod je ukončen. Přibližování výstupu převodníku D/A k určité úrovni vstupní veličiny se děje buď stálým krokem, kdy jde o krokování po jednotlivých kvantovacích úrovních (převodníky sledovací), nebo postupnou aproximací (převodníky aproximační), kdy se v prvním kroku porovnává vstupní veličina s hodnotou MSB

na výstupu D/A a dalších krocích se porovnávají se vstupem binárně zmenšované hodnoty D/A výstupu odpovídající jednotlivým binárním řádům, kdy posledním krokem je určena k porovnání hodnota LSB.

- **jinou možností nepřímého převodu A/D** je převedení vstupní měřené veličiny na kmitočet nebo počet impulsů v určitém časovém intervalu. U tohoto druhu převodníků kromě komparátoru se používá v zapojení i integrátor.

Mezi hlavní parametry A/D převodníků patří rozlišovací schopnost, přesnost převodu, linearita, velikost úplného vstupního rozsahu FS, doba převodu nebo vzorkovací rychlost [2].

1.2.1 Paralelní komparační A/D převodník



Obr. 5. Zjednodušené zapojení A/D převodníku s paralelní komparací

Paralelní komparační převodníky srovnávají hodnotu vstupního napětí s odstupňovanými úrovněmi referenčního napětí. Tyto převodníky zpracovávají vstupní napětí všemi komparátory K současně. Referenční napětí je ekvidistantně rozděleno odporovým děličem na kvantovací hladiny s rozestupem odpovídajícím LSB. Vstupní napětí je porovnáváno s těmito hladinami sadou $n-1$ komparátorů; počet komparátorů je shodný s počtem kvantovacích hladin (komparačních napětí). Výstupním kódem

komparátorů je kód „ m z N “, který je tvořen souvislou řadou jedniček od 0. pozice - jejich počet odpovídá počtu kvant vstupního napětí doplněnou do N nulami. Pokud je vstupní napětí U_{vst} , přivedené na neinvertující vstupy komparátorů, vyšší než referenční napětí na invertujících vstupech, výstupy komparátorů mají úroveň H. Zbývající komparátory, jejichž referenční napětí má vyšší hodnotu než U_{vst} , jsou naopak překllopeny na úroveň L.

Pro získání číslicového N - bitového výstupu v dvojkovém kódu je třeba vhodným propojením určitých kombinačních logických obvodů vytvořit dekodér, který převede kód logických úrovní na výstupech komparátorů na kód binární.

ADP se tedy skládá z odporového děliče pro vytvoření určitého počtu komparačních úrovní, stejného počtu komparátorů a binárního dekodéru. V důsledku časové chyby komparátorů i dekodéru mohou při převodu nastat hazardní stavy, které by mohly vést k nesprávným hodnotám výstupního slova. Tento stav by nastal zejména při převodu rychle se měnícího vstupního napětí. Proto je na výstupu řady komparátorů N - bitová paměť (binární vzorkovač) a na výstupu celého převodníku zařazena paměť (*latch*), která teprve po ustálení dat z dekodéru odešle číslicové slovo na výstup. Použití vzorkovače na vstupu nebývá vzhledem k vysoké rychlosti převodu nutné [3].

Vlastnosti:

Princip paralelního A/D převodníku umožňuje dosáhnout vysoké četnosti převodu, omezené pouze dobou zpoždění použitých komparátorů, logických obvodů v dekodéru a dobou nutnou k ustálení přechodných dějů. Celý převod probíhá během jediného kroku. Paralelní AD převodníky jsou nejrychlejšími převodníky. V praxi dosahují řádově 10^7 až 10^9 převodů za vteřinu, tím jsou předurčeny k použití pro digitalizaci obrazu, číslicové osciloskopy, analyzátory signálu, nahrávání a digitální zpracování zvuku v PC a další oblasti s vysokými nároky na rychlost digitalizace. Převodníky tohoto typu jsou vyráběny s rozlišením 6, 8 a 10 bitů.

1.2.2 A/D převodník s dvojí integrací

ADP s dvojí integrací je nejpoužívanější variantou integračních převodníků s mezipřevodem na časový interval. Základem tohoto převodníku je integrátor, jehož vstup je přepínán mezi vstupní svorkou převodníku a referenčním zdrojem.

Výstup integrátoru je připojen na vstup komparátoru. Komparátor porovnává výstup integrátoru s nulovým napětím. Odměřování času zajišťuje zdroj hodinových

Úroveň L na jeho výstupu Q způsobí, že přepínač P se přepne do dolní polohy a připojí na vstup integrátoru referenční napětí. A protože toto napětí je kladné polarity, napětí na výstupu integrátoru začne klesat. Hodinové impulsy přitom stále procházejí do čítače. Čítač se po dosažení maximálního stavu N_{max} s dalším hodinovým impulsem přetočil na samé nuly a číslo na jeho výstupu opět roste. Jakmile napětí na výstupu integrátoru klesne pod nulu, komparátor se překloupí, úroveň L na jeho výstupu projde přes hradlo OR a zablokuje hradlo AND. Hodinové impulsy přestanou procházet do čítače. Ten se zastaví a číslo N na jeho výstupech vyjadřuje hodnotu měřeného napětí [1].

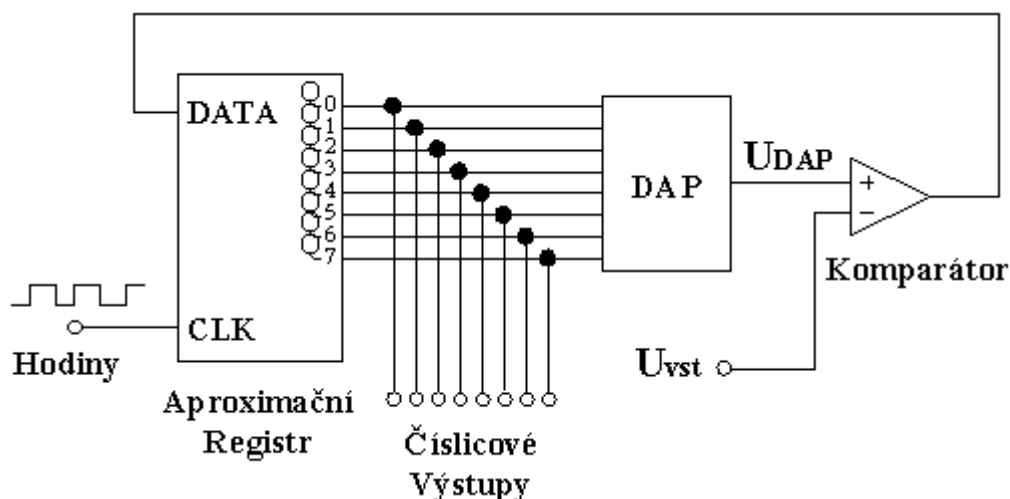
Vlastnosti:

Zapojení odstraňuje citlivost na pravidelné rušení (např. síťový brum) - toto rušení je vyhlazeno integrátorem. Pro přesnost převodu není nutná dlouhodobá stabilita hodinového kmitočtu, ani stabilita hodnot R a C integrátoru. Chyba způsobená v první části měřicího cyklu (kdy napětí na integrátoru stoupá) je kompenzována ve druhé části měřicího cyklu. Proto stačí pouze krátkodobá stabilita uvedených veličin, a to po dobu měřicího cyklu. Takové stability lze snadno dosáhnout. Dlouhodobě stabilní musí být pouze referenční napětí.

A/D převodník s dvojitou integrací patří mezi nejlevnější, nejpomalejší ale nej přesnější převodníky. Je pro svoji vysokou přesnost používán v měřicích přístrojích, kde není prioritou rychlost převodu. Rozsah rozlišení je úměrný kapacitě čítače - číslu N_{max} a tím i době převodu. Jeden cyklus převodu trvá dobu pohybující se v rozmezí od 20ms do 1s. Pro svou odolnost vůči rušení a minimální potřebě obvodových prvků je často integračních převodníků tohoto typu použito ke konstrukci voltmetrů, multimetrů, od panelových až po laboratorní přístroje.

1.2.3 A/D převodník s postupnou aproximací

Nejúspěšnějším převodníkem A/D je převodník s postupnou aproximací (*Successive Approximation*). Zatímco ADP s převodem na časový interval nebo s dvojitou integrací potřebují k dosažení osmibitového výsledku minimálně 255 hodinových impulsů, ADP s postupnou aproximací dosáhne správného osmibitového výsledku během osmi hodinových impulsů. Referenční veličina je krokována tak, aby došlo k postupné aproximaci, tedy od



Obr. 7. Základní princip A/D převodníku s postupnou aproximací

největšího kroku (MSB) po nejmenší (LSB). Po každém kroku jsou referenční a vstupní napětí porovnávána komparátorem, výsledek porovnání rozhoduje o tom, jestli váha příslušného bitu bude trvale připočtena nebo anulována současně s příslušným zápisem do výstupního paměťového registru.

Každý aproximační převodník je sestaven z komparátoru, digitálně – analogového převodníku (dále již DAP), generátoru hodinového signálu, posuvného registru, paměťového registru a příslušné řídicí logiky. Uzavřeme-li DAP a příslušné obvody do smyčky zpětné vazby, dosáhneme funkce inverzní, tedy ADP.

U starších typů převodníků byly bloky posuvného registru, paměťového registru a řídicí logiky slučovány do společného monoliticky integrovaného číslicového obvodu zvaného aproximační registr (SAR - *Succesive Aproximation Register*). Současné aproximační převodníky jsou obvykle vyráběny monoliticky [2].

Funkce:

Samotný převod lze spouštět vnějším signálem. V první aktivní periodě taktovacího signálu je na DAP nastaven MSB (ostatní bity DAP jsou vynulovány - mají tedy logickou úroveň L) a jemu odpovídající analogová hodnota – polovina FS je přivedena na komparátor a porovnávána s hodnotou vstupní měřené veličiny. Pokud je měřená analogová vstupní veličina větší než analogová hodnota poloviny FS, bude bit MSB zachován a zaznamenán do paměťového registru. Na počátku druhé periody taktování je aktivována analogová veličina odpovídající váze druhého bitu, tedy jedné čtvrtině FS a je přičtena k analogové veličině odpovídající záznamu v paměťovém registru, tedy k analogové

hodnotě o logické úrovni H na pozici MSB. Komparátor porovná, jestli $\frac{3}{4}$ FS je větší než hodnota vstupní měřené veličiny. Pokud by bylo vstupní měřené napětí menší než $\frac{3}{4}$ FS, při sestupné hraně taktovacího impulsu bude druhý bit vynulován a až do konce převodu bude vyloučen z řady bitů započítávaných do celkového výsledku převodu. Vše se znovu opakuje se snižováním váhy bitů, dokud není ověřen poslední bit LSB. Převodník nakonec na výstupu indikuje ukončení převodu a na paralelním výstupu jsou všechna data platná [1].

Na následujícím příkladu lze uvést, jak 8-bitový AD převodník s postupnou aproximací postupuje při získání hodnoty měřeného napětí z analogového vstupu:

- 1. cyklus - aproximační registr nastavil úroveň H na výstupu Q7 (MSB) a zároveň ostatní výstupy nastaveny na úroveň L. Hodnota na číslicových výstupech odpovídá dekadickému číslu 128. Napětí na výstupu DAP je větší než měřené napětí. Nastavené číslo je tedy moc velké. Proto dalším hodinovým impulsem bude bit Q7 vynulován.
- 2. cyklus - číslicový výstup Q6 se nastaví na H. Hodnota na číslicových výstupech odpovídá dekadickému číslu 64. Napětí na DAP je menší než měřené napětí. Nastavené číslo je tedy menší než skutečná hodnota, Q6 zůstane nastaven.
- 3, 4. cyklus - k nastavenému bitu Q6 se potom „zkusmo“ přidávají bit Q5 a Q4. V obou případech je napětí na DAP stále větší než napětí na analogovém vstupu, a proto se oba bity nulují
- 5. cyklus - v dalším cyklu se nastaví se Q3 na H. Napětí na DAP je menší, bit aproximačního registru Q3 zůstane nastaven.
- 6. - 8. cyklus - postupuje se podobně jako v předchozích cyklech. Bude dosaženo toho, že napětí na výstupu DAP i binární číslo na výstupech aproximačního registru se bude stále více přibližovat správné hodnotě měřeného napětí.

Na konci 8. cyklu po ověření posledního - nejméně významného bitu (LSB) jsme získali na výstupu 8-bitového A/D převodníku s postupnou aproximací binární číslo, které odpovídá měřenému vstupnímu napětí, jehož hodnota v dekadickém vyjádření je 73.

Vlastnosti:

Převodník s postupnou aproximací má konstantní dobu převodu, která je dána N - násobkem doby periody taktovacího signálu, bez ohledu na velikost vstupní veličiny. Na výrobu jednoho vzorku pro 8-bitový převodník je zapotřebí pouze osm činných hodinových impulsů plus jeden stav na návrat obvodů do základního stavu. Hodinové impulsy nemohou být tak krátké jako u předchozích ADP, protože se v každém kroku musí čekat nejen na ukončení operací v logických obvodech, ale především na ustálení DAP, který je nejpomalejší částí obvodu aproximačního převodníku. Přesto je ADP s postupnou aproximací mnohonásobně rychlejší než předchozí typy převodníků. Rozlišovací schopnost, přesnost a linearita jsou velmi dobré. Závisí hlavně na vlastnostech DAP užitého v zapojení [1].

ADP s postupnou aproximací je využíván pro své přednosti v paměťových osciloskopech, kardiomonitorrech a jiných zařízeních používaných pro zobrazování analogových signálů, kde jsou kladeny nároky na vysokou přesnost a velmi velkou rychlost převodu.

1.3 D/A převodníky

Digitálně - analogové převodníky (DAP) jsou elektrické obvody, které převádí vstupní hodnotu čísla „ D “ obvykle binárního tvaru:

$$D = b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_n \cdot 2^{-n} \quad (8)$$

na výstupní analogovou veličinu „ x “ (obvykle lineárně napětí nebo proud).

$$x = D \cdot M \quad (9)$$

kde je: M - míra převodu, napětí nebo proud celého rozsahu FS;

D - vstupní číselná hodnota z rozsahu $<0,1$;

b_1 - nejvyšší platný bit (MSB – *Most Significant Bit*), váha $\frac{1}{2}$ FS;

b_n - nejnižší platný bit (LSB – *Least Significant Bit*), váha $\frac{1}{2}^n$.

Vstupní číselná hodnota je n - bitové číslo v některém z výše jmenovaných kódů. Číslo na vstupu DAP může nabývat pouze určitých diskretních hodnot, proto i analogový vstup může nabývat jen určitých hodnot.

Maximální výstupní napětí pro n - bitový DAP:

$$U_{\max} = U_{FS} \cdot (2^{-1} + 2^{-2} + \dots + 2^{-n}) = U_{FS} \cdot \frac{2^n - 1}{2^n} = U_{FS} \cdot (1 - 2^{-n}). \quad (10)$$

V obvodech DAP jsou vždy využívány analogové spínače. Je požadován odpor spínačů v sepnutém stavu co nejnižší ($R_{on} \rightarrow 0$), ve stavu rozpojeném naopak co nejvyšší ($R_{off} \rightarrow \infty$) a doby sepnutí a rozepnutí minimální ($t_{on} \rightarrow 0$, $t_{off} \rightarrow 0$). Spínače jsou konstruovány jako diodové s bipolárními nebo unipolárními tranzistory.

Kvalita D/A převodníků závisí na vlastnostech použitých analogových spínacích prvků a na stabilitě a přesnosti zdroje referenční veličiny. Referenční zdroj může být připojen k převodníku externě, nebo je do převodníku integrován již při výrobě. Důležitými parametry převodníku jsou rychlost (četnost) převodu, rozlišovací schopnost, rozsah výstupní veličiny, chyba převodu a kvantovací krok. Kvantovací krok je hodnota výstupní veličiny (nejčastěji napětí) odpovídající LSB. Rozlišovací schopnost převodníku je poměr kvantovacího kroku k velikosti výstupního analogového rozsahu. S rozlišením souvisí i velikost kvantovací chyby – minimálně $\pm \frac{1}{2}$ LSB [3].

D/A převodníky provádějí lineární převod digitálního čísla v přirozeném binárním kódu na hodnotu analogové veličiny (napětí nebo proudu) a jsou rozděleny do tří hlavních skupin a to na převodníky:

- s odporovým váhováním napětí nebo proudu
- s kapacitním váhováním náboje
- s převodem na modulované impulsy a následnou integraci

Převodníky první skupiny jsou převodníky statické. Nazýváme je paralelní převodníky D/A a jsou nejpoužívanější. Zbývající dvě skupiny patří mezi převodníky dynamické. U statických převodníků je výstupní analogová veličina konstantní po celou dobu působení vstupního číslicového slova. U dynamických převodníků je nutné po určitém čase opakovaně obnovovat hodnotu analogového výstupu pro daný digitální vstup.

Dále lze říci, že první dvě skupiny převodníků využívají k převodu váhování analogové veličiny a následné sčítání dílčích váhování analogové veličiny se provádí tak, že binární váha každého bitu digitálního slova určuje úměrnou hodnotu analogové veličiny. Systém spínačů pak vytvoří výsledný signál složením vah odpovídající jedničkovým bitům ve vstupním slovu [2].

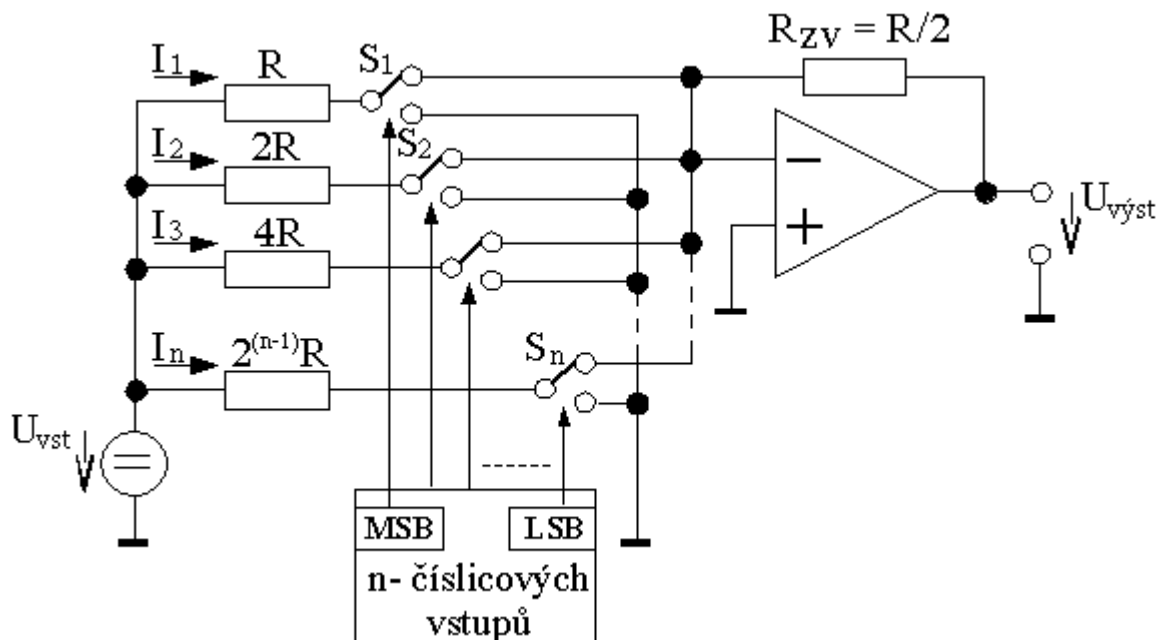
1.3.1 Paralelní D/A převodníky

Paralelní DAP patří k nejrozšířenějším typům, často jsou vyráběny v monolitickém provedení. Tyto převodníky lze rozdělit na převodníky s proudovým a napěťovým výstupem. Přitom v principu jsou paralelní DAP s proudovým výstupem a napěťový výstup se podle potřeby realizuje převodníkem I/U.

1.3.2 Paralelní D/A převodníky s váhováním rezistory

Využívají společný zdroj referenčního napětí U_{Ref} a síť rezistorů, pomocí kterých jsou získány binárně odstupňované zdroje proudu. Tyto zdroje proudu jsou podle vstupního číslicového slova, jež má být převedeno na analogový signál, připojovány proudovými spínači na společný uzel na invertujícím vstupu OZ, užitého ve funkci převodníku I/U. Na uzlu jsou proudy sečteny a převedeny na napětí. Podle realizace sítě rezistorů se rozlišuje více typů odporových sítí. Odporová síť bývá vyráběna i samostatně, monoliticky jako integrovaný obvod.

1.3.3 Paralelní D/A převodníky s binárně váhovanou rezistorovou sítí



Obr. 8. Schéma zapojení D/A převodníku s binární rezistorovou sítí

Je používáno invertujícího zapojení OZ, které dokáže přesně a spolehlivě sčítat příspěvky z jednotlivých vstupů tak, že se vstupy vzájemně neovlivňují, protože jsou od sebe odděleny virtuální zemí na invertujícím vstupu operačního zesilovače. Pokud má

převodník n číslicových vstupů, jeho výstupní napětí tedy může rozlišit 2^n úrovní. Sít' využívá rezistorů s hodnotami odpovídajícími váhám bitů vstupního slova. Největší vliv na velikost výstupního napětí má odpor s nejmenší rezistivitou, tedy MSB a do společného uzlu nutí téci největší proud. Každý následující odpor má dvojnásobně větší rezistivitu než rezistor předchozí a jeho vliv je tedy oproti předchozímu rezistoru poloviční.

Aby byl zdroj referenčního napětí zatěžován konstantním proudem nezávislým na vstupním čísle převodníku, jsou použity proudové přepínače připojující příslušnou větev rezistorové sítě buď na společný uzel 0V při rozepnutém spínači S_m , případně na vstup převodníku I/U při sepnutém spínači S_m . Operační zesilovač na výstupu převodníku udržuje zpětnou vazbu napětí na sumačním uzlu na virtuální nule a zároveň realizuje funkci převodníku I/U. Proud sepnutým spínačem je roven:

$$I_m = \frac{U_{Ref}}{R_m}. \quad (11)$$

Pro binární kód budou hodnoty rezistorů:

$$R_m = 2^{m-1} \cdot R. \quad (12)$$

Váhové proudy I_m se sčítají v uzlu na invertujícím vstupu OZ a převádějí se převodníkem I/U na výstupní napětí:

$$U_{výst} = -\frac{R}{2} \sum_{m=1}^n b_m \cdot I_m = -\frac{R}{2} \sum_{m=1}^n b_m \frac{U_{Ref}}{2^{m-1} \cdot R} = -U_{Ref} \sum_{m=1}^n b_m \cdot 2^{-m} = -U_{Ref} \cdot D \quad (13)$$

kde je: b_m - hodnota m - tého bitu vstupního dvojkového čísla;

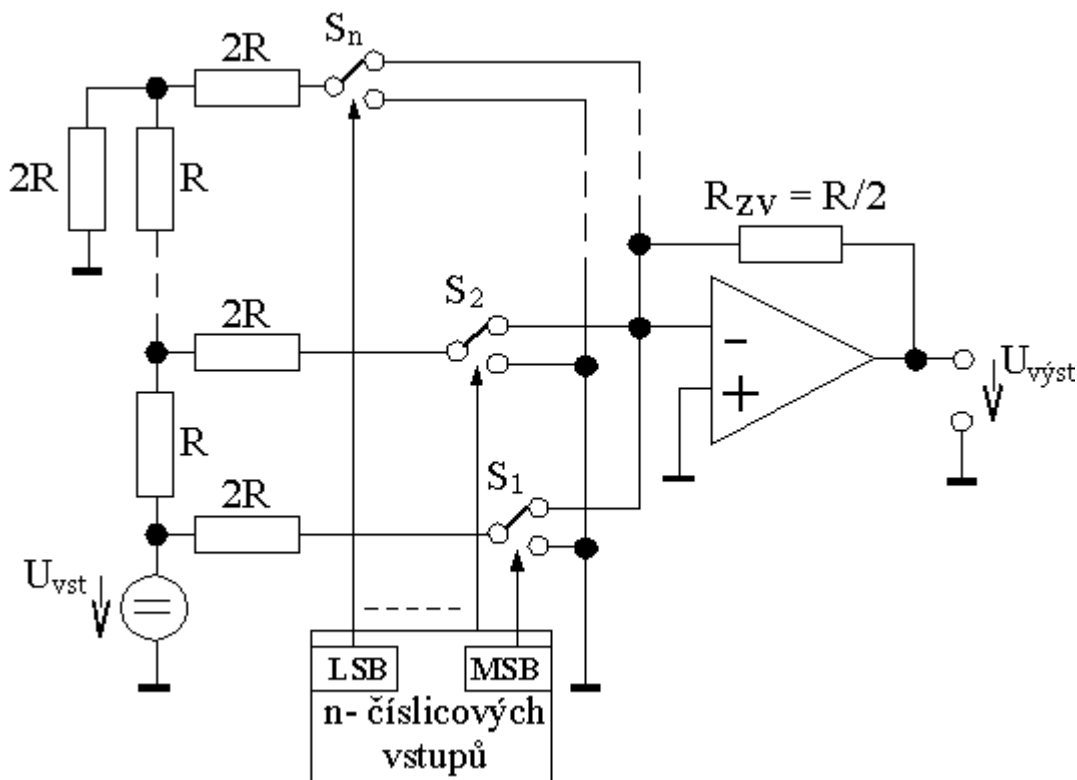
D - vstupní číselné slovo o rozsahu jednotlivých bitů $<0,1$;

U_{Ref} - referenční napětí.

Zapojení na obr. 8 je jednoduché a počet rezistorů sítě nízký, roven počtu bitů vstupního slova. Nevýhodné je rozpětí hodnot váhových rezistorů. Pro n - bitový D/A převodník je poměr $1: 2^{n-1}$. Jestliže přesnost převodníku závisí na přesnosti váhových rezistorů, je realizace natolik rozdílných hodnot přesných rezistorů v monolitickém provedení velmi obtížná.

Převodníků s binárně váhovanou rezistorovou sítí je často používáno u DAP s vstupním kódem BCD, kde vždy čtveřice bitů kóduje jeden dekadický řád desítkového čísla. Sít' pro takový převodník má pak rezistory v řadě $R-2R-4R-8R$, kdy v další čtveřici je hodnota R nahrazena desetinou hodnoty R [3].

1.3.4 Paralelní D/A převodníky s rezistorovou sítí $R - 2R$



Obr. 9. Schéma zapojení D/A převodníku s rezistorovou sítí $R - 2R$

Nevýhoda velkého rozpětí hodnot váhových rezistorů u předchozího typu paralelního DAP je odstraněna D/A převodníkem se sítí $R-2R$. Pro zmenšování vlivu méně významných bitů se nepoužívá stále větších hodnot rezistorů (což může být i technologický problém při velkém počtu číslicových vstupů), ale naopak se stále více dělí jejich příspěvek pomocí odporové sítě $R-2R$. Binárně váhované proudy se získávají žebříčkovou sítí složenou pouze z rezistorů o dvou hodnotách: R a $2R$. Jelikož je odpor sítě v každém uzlu směrem od referenčního zdroje právě R , dělí se referenční napětí tak, že v každém uzlu je vždy poloviční oproti předchozímu uzlu. Účinek horního číslicového vstupu (MSB) je největší, protože působí přímo do invertujícího vstupu, zatímco účinky dalších vstupů se stále více ztrácejí v příčkovém děliči. Celková linearita tohoto DA převodníku závisí více na vzájemném poměru rezistorů, než na jejich přesných hodnotách.

D/A převodník s BCD vstupním kódem se realizuje rozdělením žebříčku rezistorů po čtveřicích tak, aby dělicí poměr mezi sousedními skupinami byl 1:10. Dosáhne se toho tak, že mezi čtveřice je zapojen rezistor s hodnotou $8,1R$ a ukončovací odpor celého žebříčku je $9R$. Popsaný převodník dosahuje doby převodu podle použitých analogových spínačů řádově 100 ns (pro spínače CMOS) [3].

2 PRAKTICKÁ ČÁST

2.1 Úloha č.1 – Návrh a ověření vlastností 2-bitového paralelního komparačního A/D převodníku

V první části úlohy by se studenti měli prakticky seznámit s principem funkce a účelem užití dvoubitového analogově digitálního převodníku. Tedy porozumět jak funguje převodník jako celek, ale pochopit zároveň funkčnost jeho jednotlivých částí. Následně nato navrhnout a realizovat podle návodu, za použití elektronické stavebnice Dominoputer, jednoduchý paralelní AD převodník tak, aby splňoval podmínky stanovené v rámci této laboratorní úlohy. Po správném zapojení a ověření funkčnosti převodníku následuje v druhé části úlohy pokus zlepšení linearitu a dosažení co nejlepší přesnosti převodníku.

2.1.1 Návrh paralelního komparačního A/D převodníku

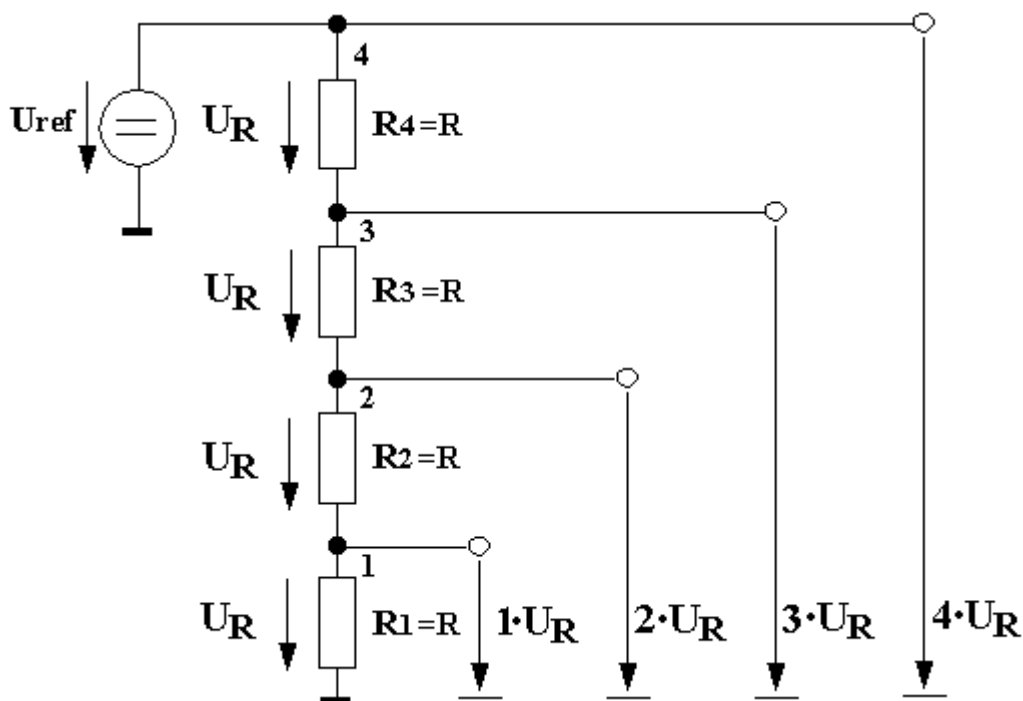
Paralelní A/D převodník lze rozdělit do určitých funkčních bloků:

- 1) Odporový dělič
- 2) Blok kvantování
- 3) Blok napětového přizpůsobení pro logické úrovně TTL obvodů
- 4) Dekodér kódu „ m z N “ na přirozený binární kód

Pro objasnění principu funkčních bloků jsou tyto dílčí části realizovány samostatně. Poté jsou bloky propojeny za účelem ověření činnosti navrženého A/D převodníku.

- **Odporový dělič**

Odporový dělič, napájený zdrojem referenčního napětí U_{Ref} , slouží k vytvoření kvantovacích hladin, tedy určitého počtu napětových úrovní. Jestliže chceme vytvořit dvoubitový A/D převodník, budeme k tomu potřebovat 3 napětové úrovně. Jednu napětovou úroveň bude zaujímat nulová hodnota a další dvě napětové úrovně budou nenulové hodnoty udávané ve voltech.



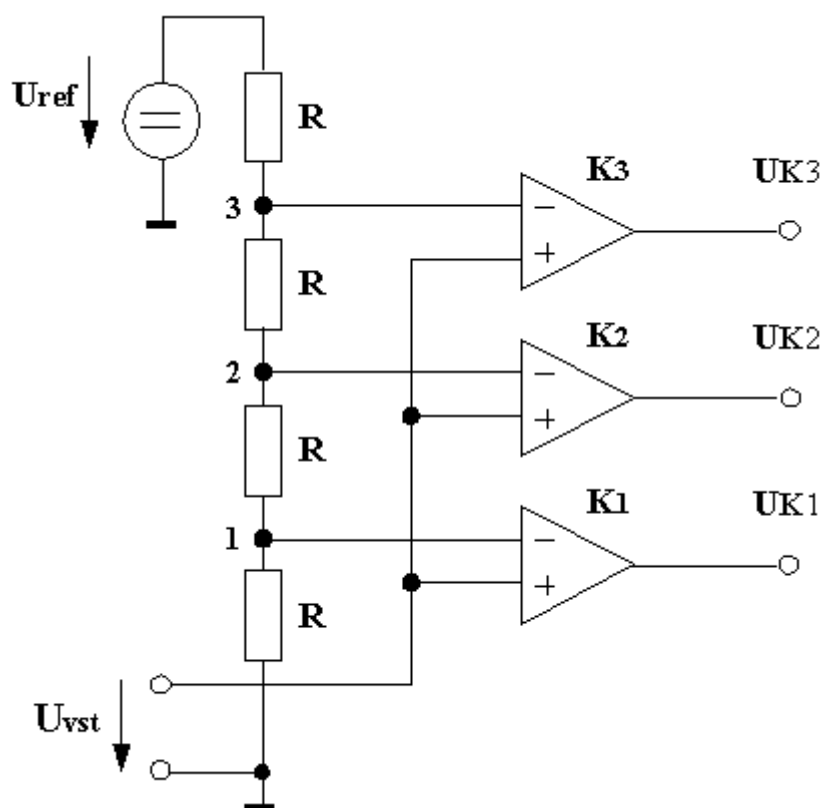
Obr. 10. Princip odporového děliče

Odporovým děličem na obr. 10 protéká určitý proud. Při dodržení takového poměru, že každý rezistor v odporovém děliči má stejný jmenovitý odpor přesně o hodnotě R , lze získat za ideálních podmínek shodný úbytek napětí U_R na každém z rezistorů. Odporový dělič složený z rezistorů o stejných odporech R rozdělí referenční napětí U_{Ref} na určitý počet stejně velkých úbytků napětí U_R . Počet úbytků U_R je přímo úměrný počtu rezistorů užitých v odporovém děliči. **Kvantizační krok** je roven hodnotě úbytku jednoho U_R . V jednotlivých uzlech děliče budou získávány jmenovité násobky tohoto kvantizačního kroku. U lineárního převodníku je požadováno, aby kvantovací krok určoval ekvidistantní rozestupy intervalů napěťových hladin.

Rezistor R_4 má nejvyšší váhu, označujeme jej jako **MSB (Most Significant Bit)**. Na uzlu č.4 připojeném ke zdroji U_{Ref} vůči zemi se nachází nejvyšší napětí o velikosti $4U_R$, tedy součet všech úbytků rezistorů. Rezistor R_4 představuje nejvyšší binární řád (nejvýznamnější bit). Naopak R_1 a jeho napětí mezi uzlem č.1 a zemí o velikosti U_R představuje bit nejnižšího a nejméně významného řádu řádu **LSB (Least Significant Bit)**. LSB určuje základní krok na ose číslicového signálu. Pokud se změní hodnota LSB, změní se analogová hodnota právě o kvantizační krok. LSB tedy na analogové straně určuje rozlišovací schopnost převodníku.

- **Blok kvantování**

Komparátor je operační zesilovač OZ zapojený bez zpětné vazby. Jeho obrovské zesílení není omezeno, stačí tedy nepatrné napětí na vstupu a výstup zesilovače se dostane do **saturace**. Saturace je ustálený stav na výstupu, kdy se OZ otevře naplno a dále již nereaguje na napětíové změny na vstupu. Při maximálním otevření zesilovače je obvykle získáno na výstupu jeho napájecí napětí, které může být kladné nebo záporné (kladná nebo záporná saturace).



Obr. 11. Princip kvantovacího bloku

Na vstupy OZ – např. komparátoru K_1 (viz. obr. 11) jsou přiváděna dvě různá napětí. Měřené napětí U_{vst} komparátor porovnává s konstantním napětím U_R na prvním odporu.

Princip převodu měřeného napětí na vybrané napětíové úrovně užitím sady komparátorů:

Pro příklad bylo použito měřené napětí $U_{vst} = 1,6V$ a referenční napětí $U_{Ref} = 3V$. Při přivedení konstantního stejnosměrného napětí z externího referenčního zdroje o hodnotě 3V na odporový dělič se toto napětí rozdělí na 4 téměř shodné díly. V ideálním

stavu bychom získali 4 shodně dlouhá napěťová rozpětí o hodnotách 0,75V. Napětí U_{Vst} se připojuje pomocí společného uzlu na všechny neinvertující vstupy.

Na komparátoru K_1 bude porovnáváno měřené napětí U_{Vst} a hodnota části referenčního napětí přivedená z uzlu odporového děliče č.1 na invertující vstup – v tomto případě to bude pouze jeden úbytek na rezistoru, který je roven 0,75V. Hodnota měřeného napětí je vyšší než referenční napětí, takže hodnota na neinvertujícím vstupu invertující vstup převáží. Na výstupu komparátoru K_1 neinvertující vstup nastaví maximální kladné napětí - v případě použití komparátoru stavebnice Dominoputer hodnota maximálního kladného napětí přibližně odpovídá 7,2V.

Na komparátoru K_2 porovnáváme stejnou hodnotu měřeného napětí, ale hodnota referenčního napětí už bude o jeden řád vyšší, jelikož referenční napětí z uzlu č.2 na invertujícím vstupu K_2 je bráno vůči zemi jako součet úbytků na dvou rezistorech. Bude tedy oproti referenčním napětí na K_1 dvojnásobné. Komparátor K_2 taktéž nastaví na výstupu maximální kladné napětí, neboť U_{Ref} je rovno 2·0,75V, tedy 1,5V a to je stále menší než napětí měřené.

Na komparátoru K_3 se porovnává referenční napětí o velikosti součtu úbytků na třech rezistorech $U_{Ref} = 2,25V$ ku hodnotě $U_{Vst} = 1,6V$. Zde už má referenční napětí větší váhu a invertující vstup nastaví na výstupu operačního zesilovače maximální záporné napětí, tedy přibližně -7,2V.

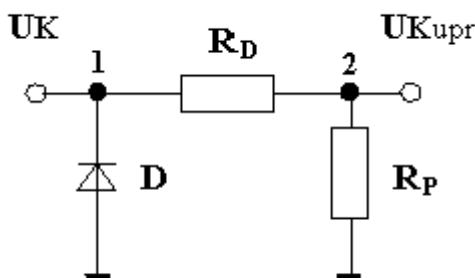
Výsledkem po převodu spojitého analogového signálu o hodnotě 1,6V budou při dosažení ideálních podmínek jeho vybrané napěťové úrovně jednotlivých výstupů komparátorů: $U_{K3} = -7,2V$; $U_{K2} = 7,2V$; $U_{K1} = 7,2V$. Pro názornost je uvedena tabulka možných stavů, které nastanou při ověřování správného zapojení sady komparátorů tím, že jsou přivedena libovolná napětí U_{Vst} v rozsahu od $<0; U_{Ref}>$ voltů. Po celou dobu měření laboratorní úlohy č.1 bylo konstantní referenční napětí nastaveno na $U_{Ref} = 3V$.

Tabulka I. Stavů napěťových úrovní U_K na výstupech komparátorů v závislosti na velikosti vstupního měřeného napětí U_{Vst}

Měřené napětí U_{Vst} [V]	U_{K3} [V]	U_{K2} [V]	U_{K1} [V]
$0 < U_{Vst} < U_{Ref}/4$	-7,53	-7,53	-7,51
$U_{Ref}/4 < U_{Vst} < U_{Ref}/2$	-7,53	-7,53	7,69
$U_{Ref}/2 < U_{Vst} < 3U_{Ref}/4$	-7,53	7,71	7,69
$3U_{Ref}/4 < U_{Vst} < U_{Ref}$	7,69	7,71	7,70

- **Blok napětového přizpůsobení pro logické úrovně TTL obvodů**

Obvod napětového ošetření je nutnou součástí navrženého paralelního A/D převodníku. Bylo požadováno, aby při použití jednoduchého zapojení bylo dosaženo kompatibility napětových úrovní a správně fungujícího převodu analogových napětových úrovní na výstupech komparátorů na napětové úrovně užívané pro číslicové logické obvody řady Transistor Transistor Logic (dále již TTL). Obvod pro přizpůsobení napětových úrovní zajišťuje, aby výstupní signály z komparátorů odpovídaly logickým úrovním. Pokud by naopak výstupní signály obsahovaly napětové úrovně nepřijatelné pro logické obvody, docházelo by v logických obvodech k nejednoznačnosti rozhodovacích úrovní, a tím zároveň k chybám při dekódování informací z kvantovacího bloku na binární číslo. Pokud bude přichodzí analogový signál U_K z výstupů sady komparátorů kladný, bude určitým způsobem upraven, aby se co nejvíce přibližoval napětové úrovni logické jedničky, tedy 5V. Naopak záporné napětí z výstupů komparátorů bude ošetřeno tak, aby se hodnota upravené napětové úrovně blížila nulovému napětí, tedy logické 0. Navržené zapojení na obr. 12 je schopno upravovat zároveň kladné i záporné napětí na logické úrovně přípustné pro obvody TTL.



Obr. 12. Schéma zapojení obvodu napětového přizpůsobení pro logické obvody

Výše uvedené elektrické schéma se skládá z diody, která má úbytek na polovodičovém přechodu v závěrném směru 0,7V a z odporové děličky s rezistory R_D a R_P . Při úpravě kladného napětí $U_K = 7,2V$ vstupujícího do obvodu, proud s kladnou orientací, přicházející ze vstupu obvodu pro napětové ošetření, nebude schopen působit proti opačně polarizovanému polovodičovému přechodu diody D . Bude tedy protékat pouze do odporového děliče. Na výstupu obvodu měříme úbytek napětí na rezistoru R_P , tedy napětí U_{kupr} na uzlu č.2 vůči zemi. Pokud bude poměr jmenovitých odporů obou rezistorů

zaručeně 1:1, získáme v uzlu č.2 přesně polovinu napětí U_K vstupujícího do obvodu a tedy $U_{kupr} = 3,6V$. Tato hodnota je vhodná i s větší rezervou pro logickou jedničku.

Při přivedeném záporném napětí $U_K = -7,2V$ na vstup obvodu napětěvého přizpůsobení je nutno toto napětí upravit na logickou nulu. Záporný proud vstupního napětí je nyní pólován stejně jako polovodičový přechod diody. Záporný úbytek na diodě U_D mezi uzlem č.1 a zemí odpovídá $-0,7V$. Napětí U_D se rozdělí pomocí odporového děliče na dva napětěvé úbytky U_{RD} a U_{RP} . Opět je měřeno napětí U_{kupr} , to je poloviční vůči zápornému úbytku na diodě D. Pro záporné vstupní napětí U_K je výstupní napětí $U_{kupr} = -0,35V$. Ačkoliv je tato hodnota blízká nule záporná, logické obvody stavebnice Dominoputer hodnotu přijímají k dalšímu zpracování jako „čistou“ logickou nulu, a to bez chyb v následujících operacích.

Tabulka II. Stavy napětěvých úrovní U_{KUpr} na výstupech komparátorů v závislosti na velikosti vstupního měřeného napětí U_{Vst}

Měřené napětí U_{Vst} [V]	U_{K3Upr} [V]	U_{K2Upr} [V]	U_{K1Upr} [V]
$0 < U_{Vst} < U_{Ref}/4$	-0,426	-0,424	-0,423
$U_{Ref}/4 < U_{Vst} < U_{Ref}/2$	-0,425	-0,423	3,76
$U_{Ref}/2 < U_{Vst} < 3U_{Ref}/4$	-0,424	3,766	3,761
$3U_{Ref}/4 < U_{Vst} < U_{Ref}$	3,766	3,766	3,762

- Dekodér kódu „m z N“ na přirozený binární kód**

Blok kódování navrhovaného paralelního A/D převodníku se zabývá převodem z kódu komparátorů na kód binární. Kód z upravených napětěvých úrovní sady komparátorů je pro logické obvody sice „čitelný“, ale je stále ještě pro použití nepraktický. Je používáno pro přenos informací z kvantovacího bloku 3 vodičů. Dekodér převede nepraktický kód na kód přirozený binární podle navržené logické funkce.

Před realizací dekodéru bylo nejprve nutno vytvořit tabulku všech existujících stavů na komparátorech. K těmto stavům byly přiřazeny požadované hodnoty výstupního slova dekodéru tak, aby každé z kombinací vstupních stavů dekodéru jednoznačně odpovídalo číslicové slovo na výstupu dekodéru podle předpisu navržené logické funkce, podle níž bude vykonáván výsledný převod. Navržená logická funkce pro realizaci dekodéru bude uvedena dále.

Tabulka III. Přiřazení požadovaných stavů na výstupech dekodéru A, B existujícím vstupním stavům K

Vstupní stavy dekodéru			Výstupní stavy dekodéru	
K_3	K_2	K_1	A	B
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
1	1	1	1	1

Pozn.: Výstup A je výstupním bitem dekodéru s nejvyšší vahou, výstup B je výstupním bitem dekodéru s nejnižší vahou, tedy bitem nultým.

Princip realizace logické funkce dekodéru

Pro návrh logické funkce je nutné z tabulky III určit, ve kterých případech je na určitém výstupu logická jednička. Příslušné řádky tabulky poté zapsat podle pravidel Booleovy algebry. Pokud je vícekrát na určitém výstupu logická jednička, tak se tyto kombinace vstupních stavů sčítají. Tedy podle III. řádku tabulky III bude výstup A v logické jedničce právě tehdy, pokud budou vstupy K_1, K_2 v logické 1 a K_3 naopak bude v logické 0. Zároveň je nutné přičíst ještě kombinaci stavů v IV. řádku tabulky III, kdy všechny vstupy K budou v jedničce. Zapišeme tedy součet dvou kombinací stavů podle pravidel Booleovy algebry. Z toho vyplývá výraz:

$$A = K_1 \cdot K_2 \cdot \overline{K_3} + K_1 \cdot K_2 \cdot K_3. \quad (14)$$

Po vytýkání: $K_1 \cdot K_2$ bylo získáno :

$$A = K_1 \cdot K_2 \cdot (\overline{K_3} + K_3). \quad (15)$$

Kde podle pravidla negace :

$$\overline{\overline{A}} + A = 1, \quad (16)$$

tedy:

$$\overline{\overline{K_3}} + K_3 = 1, \quad (17)$$

bylo zjištěno, že výsledný stav na výstupu A závisí pouze na součinu K_1 a K_2 .

Stejný postup se opakuje i pro výpočet logické funkce pro výstup dekodéru B . Podle II. řádku tabulky III bude logická 1 na výstupu B tehdy, jestliže bude přivedena logická 1 na vstup K_1 a logická nula na vstupy K_2, K_3 . Zároveň k této kombinaci stavů přičítáme kombinaci stavů IV. řádku. Tedy součet dvou kombinací stavů bude:

$$B = K_1 \cdot \overline{K_2} \cdot \overline{K_3} + K_1 \cdot K_2 \cdot K_3. \quad (18)$$

Po vytýkání K_1 bylo získáno:

$$B = K_1 \cdot (K_2 \cdot K_3 + \overline{K_2} \cdot \overline{K_3}). \quad (19)$$

Výsledná funkce výstupu B je logickým součinem hodnoty na vstupu K_1 s výrazem v závorce, který je negovaným exklusivním součtem vstupů K_2 a K_3 .

Získané vztahy pro výstupy dekodéru A i B budou aplikovány na konkrétní zapojení z logických obvodů.

Tabulka IV. Pravdivostní tabulka hradel AND (7408), NAND (7400), EX-OR(7486)

AND			NAND			EX-OR		
A	B	Y	A	B	Y	A	B	Y
0	0	0	0	0	1	0	0	0
0	1	0	0	1	1	0	1	1
1	0	0	1	0	1	1	0	1
1	1	1	1	1	0	1	1	0

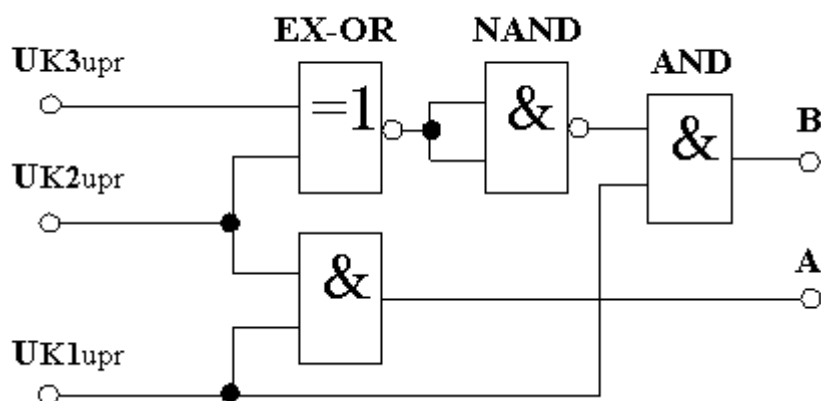
Realizace výsledné funkce :

Výstup A bude realizován přivedením upravených signálů z komparátorů K_1 a K_2 na vstupy součinového hradla AND. Výstup B vznikne součinem upraveného signálu z komparátoru K_1 a negovaným exklusivním součtem upravených signálů z K_2 a K_3 . Tedy K_2 a K_3 budou připojeny na hradlo Exclusive-OR (dále již EX-OR). Hradlo EX - OR vyhodnocuje stav, kdy právě jedno z čísel na vstupu je jedna. Pokud by na vstupech tohoto hradla byly zároveň dvě příchozí logické jedničky nebo dvě logické nuly, výstup EX-OR by se v obou případech nastavil na nulu. Nula na výstupu EX-OR bez užití negace invertorem vždy nastaví výstup součinového hradla AND na nulu. Na výstupu B by tedy byly stavy obrácené vůči těm, které byly požadovány na počátku návrhu. Za hradlem exklusivního součtu tedy musí být připojen invertor.

Popis funkce dekodéru:

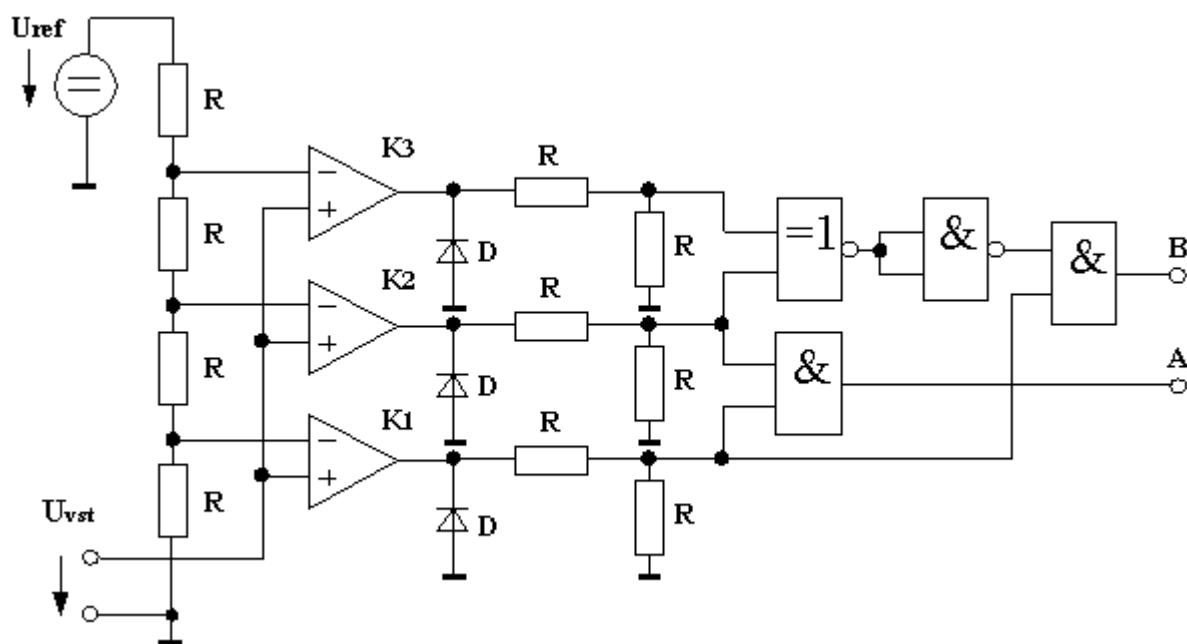
Pokud se na všech výstupech komparátorů objeví maximální záporná napětí, obvod ošetření napětíových úrovní je převede analogově na logické nuly. Při kombinaci logických nul na všech vstupech dekodéru K , jsou podle tabulky III požadovány logické nuly na výstupech dekodéru A i B . Pokud bude přivedena logická 1 pouze na vstup dekodéru K_1 a

ostatní vstupy K budou nulovány, je podle předpisu aktivován pouze výstupní nultý bit, tedy



Obr. 13. Schéma zapojení dekodéru z logických obvodů

výstup dekodéru B . Při překročení referenční úrovně komparátoru K_2 neznámým měřeným napětím dojde k aktivaci vstupu dekodéru K_2 a zároveň tedy i vstupu K_1 (viz. III. řádek tabulky III) a na výstupu dekodéru bude aktivován pouze první a zároveň nejvyšší výstupní bit. Jestliže neznámé měřené napětí překročí hodnotu referenčního napětí 2,25V, na všech vstupech dekodéru budou logické jedničky. Při dosažení nejvyšší kombinace stavu vstupů a bude nastaven tento nejvyšší stav na výstupu dekodéru.



Obr. 14. Výsledné schéma zapojení paralelního komparačního A/D převodníku

2.1.2 Zlepšení linearity paralelního komparačního A/D převodníku

Druhá část úlohy je věnována zpřesňování parametrů navrženého převodníku tak, aby všechny kvantizační úrovně byly rovnoměrně rozdělené se shodným rozpětím napěťových intervalů. Mělo by být dosaženo co nejlepší lineární závislosti hodnot vstupního analogového signálu na výstupním číslicovém slově pomocí experimentální volby vhodného poměru rezistorů na odporovém děliči. Osvědčilo se měnit poměr jednotlivých rezistorů odporového děliče pomocí potenciometrů, v našem případě byly použity přesné odporové dekády stavebnice Dominoputer.

Na neinvertující vstup komparátoru K_1 (viz. obr. 11) je přiváděno napětí U_{Vst} o hodnotě nejnižšího referenčního napětí přivedeného z uzlu č.1 na invertující vstup komparátoru K_1 . Tato úroveň referenčního napětí bude vstupním napětím kalibrovaná na přesnější hodnotu. Vstupní napětí není nyní měněno. Zkusmo jsou nastavovány hodnoty rezistorů odporového děliče a je kontrolováno při jaké hodnotě odporu se mění na výstupu komparátoru K_1 maximální kladné napětí na záporné a naopak. Při určité rezistivitě je dosaženo hranice mezi dvěma diskrétními napěťovými hladinami. Pomocí vhodného poměru rezistorů (odporových dekád) je nastavena zpřesněná referenční napěťová úroveň tak, aby odpovídala $\frac{1}{4}$ z U_{Ref} (tj. 0,75V pro $U_{Ref} = 3V$).

Stejným způsobem je kalibrována referenční napěťová úroveň komparátoru K_2 na $\frac{1}{2}$ z U_{Ref} a referenční napěťová úroveň komparátoru K_3 na $\frac{3}{4}$ z U_{Ref} . Hodnoty zpřesněného poměru odporů jsou uvedeny v tabulce V:

Tabulka V. Zpřesněné hodnoty rezistorů

$R_1 (LSB) [k\Omega]$	$R_2 [k\Omega]$	$R_3 [k\Omega]$	$R_4 (MSB) [k\Omega]$
1,49	1	1	1,48

2.1.3 Zhodnocení laboratorní úlohy č.1

Tato laboratorní úloha by měla studentům pomoci skloubit znalosti z oblasti elektroniky a číslicové techniky. Úloha neobsahuje pouze měření a opisování naměřených údajů z měřicích přístrojů. Mým záměrem bylo navrhnout laboratorní úlohu tak, aby zadání úlohy a princip převodníku byl dobře pochopitelný. Studenti se nemusí „prokousávat“ spoustou odborného textu a zabývat se složitými výpočty, ale spíše si osvojí praktické znalosti.

2.2 Úloha č.2 - Návrh a ověření vlastností 2-bitového paralelního D/A převodníku s binárně váhovanou rezistorovou sítí

Tato laboratorní úloha je prakticky zaměřena na realizaci převodu binárního slova na analogovou veličinu. Převod binárního slova složeného z posloupnosti bitů na výstupní analogovou veličinu uskutečňuje digitálně – analogový převodník s binárně váhovanou rezistorovou sítí. Po seznámení se s principem funkce daného zapojení a po prostudování návodu by studenti měli být schopni navrhnout a realizovat převodník po částech podle zadání. Opět bude v této laboratorní úloze využito vlastností stavebnice Dominoputer. Po správném zapojení všech bloků převodníku následuje druhá část úlohy. Ta se zabývá linearizací D/A převodníku a ověřování jeho funkce pro jiné než prvotně zadané referenční napětí.

2.2.1 Návrh D/A převodníku s binárně váhovanou rezistorovou sítí

Při vytváření osnovy této laboratorní úlohy bylo ověřeno, že je lépe rozdělit zapojení převodníku na určité bloky, tedy realizovat jej po částech. Je doporučeno nejprve zapojit samotný blok převodníku, který se skládá z binárně váhované sítě rezistorů a operačního zesilovače s vhodně zvolenou zápornou zpětnou vazbou. Poté ověřit jeho správné zapojení přivedením zadaného referenčního napětí U_{Ref} bez užití elektronických spínačů, tedy přímo ze svorek přesného stejnosměrného zdroje stavebnice Dominoputer. U_{Ref} je připojeno na jednotlivé vstupy, konkrétně na příslušné váhové rezistory sumačního zesilovače. Po ověření správnosti funkce tohoto bloku je pokračováno v realizaci bloku spínačů. Výsledné zapojení je ukončeno vytvořením invertoru z operačního zesilovače, který bude použit v bloku pro převod polarity výstupního analogového napětí.

D/A převodník byl rozdělen do určitých funkčních bloků:

- 1) Binárně váhovaná odporová síť
- 2) Převodník I/U
- 3) Blok elektronického spínače zahrnující logický selektor a tranzistorový spínač
- 4) Blok převodu polarity výstupního napětí

- **Binárně váhovaná odporová síť**

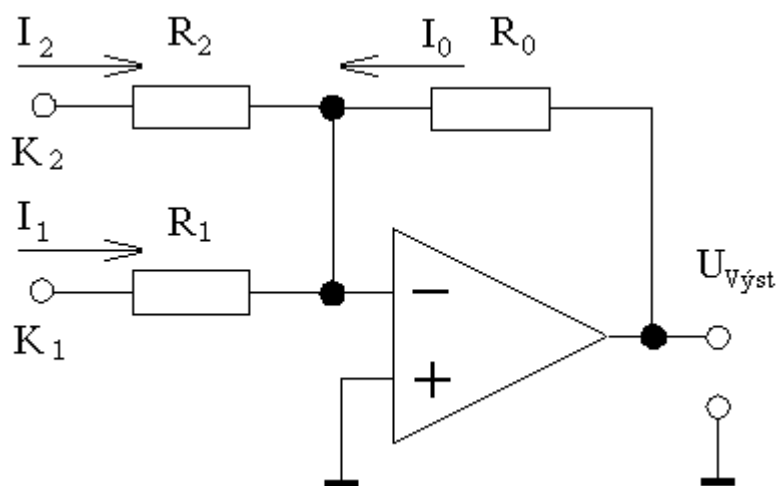
Vstupní číslicové slovo, jež bude převedeno na výstupní analogový signál, je dvoubitové, navržená odporová síť se proto skládá ze dvou váhových rezistorů. Velikost rezistorů je stanovena tak, aby největší vliv na velikost napětí $U_{\text{výst}}$ získaného na výstupu převodníku měl rezistor R_2 s nejmenším odporem. Ten do společného uzlu nutí téci největší proud a má nejvyšší binární váhu (MSB) o hodnotě poloviny analogového rozsahu napětí na výstupu převodníku. Následující rezistor R_1 , o jeden řád nižší, má dvojnásobně větší odpor než rezistor R_2 . Vliv rezistoru R_1 je tedy oproti rezistoru R_2 poloviční.

Tabulka VI. Hodnoty rezistorů binárně váhované odporové sítě R_1 , R_2
a zpětnovazebního rezistoru R_0

$R_1 [k\Omega]$	$R_2 [k\Omega]$	$R_0 [k\Omega]$
20	10	5

- **Převodník I/U**

Při realizaci paralelního D/A převodníku je použit sumační operační zesilovač jako převodník I/U, tedy převodník vstupních proudů na výstupní napětí. Na invertující vstup lze přivést více proudů s různými hodnotami, aniž by se tyto proudy ovlivňovaly. Velikost



Obr. 15. Princip sumačního OZ jako převodníku I/U

vstupního proudu I_1 (popř. I_2) bude závislá na hodnotě napětí dodávané z referenčního zdroje a také na tom, jak velký odpor klade určitý rezistor R_1 (popř. R_2) proudu protékajícím z referenčního zdroje do invertujícího vstupu operačního zesilovače. Váhový proud I_1 procházející přes rezistor R_1 i váhový proud I_2 procházející přes R_2 se navzájem

neovlivňují, neboť jsou od sebe odděleny virtuální zemí na invertujícím vstupu operačního zesilovače. Velikost proudů I_1 a I_2 lze spočítat podle Ohmova zákona:

$$I_1 = \frac{U_{Ref}}{R_1} \quad (20)$$

$$I_2 = \frac{U_{Ref}}{R_2} \quad (21)$$

Ve společném bodě, v uzlu na invertujícím vstupu, jsou sčítány všechny váhové proudy, které v dané chvíli protékají odporovou sítí. Jejich součtem bude výsledný proud I_0 . Pokud jsou proudy I_1 a I_2 přiváděny do společného uzlu - virtuální nuly jako proudy kladné, bude I_0 přitékat do uzlu jako proud se zápornou polaritou a bude tedy opačně orientován vůči I_1 a I_2 , neboť platí Kirchhoffův zákon:

$$I_1 + I_2 + (-I_0) = 0 \quad (22)$$

Toto tvrzení zároveň odpovídá typické a důležité vlastnosti operačního zesilovače OZ, že mezi dvěma vstupy OZ je nulové rozdílové napětí. Tedy invertující vstup má virtuální zemi, i když není uzemněn a uzemněný je přímo pouze neinvertující vstup. Výsledný součtový proud I_0 bude protékat zpětnovazebním rezistorem R_0 z výstupu OZ do invertujícího vstupu a vytvářet záporný napěťový úbytek, analogovou veličinu, která je měřena vůči zemi jako výstupní napětí U_{Vyst} . Výše hodnoty výstupního napětí bude závislá na součtu proudů I_1 a I_2 a velikosti odporu zpětnovazebního rezistoru R_0 . Zpětnovazební rezistor zde neslouží pouze jako záporná zpětná vazba z výstupu operačního zesilovače na invertující vstup, která stabilizuje navržené zapojení, ale navíc velikostí svého ohmického odporu určuje hodnotu váhových poměrů rezistorů a provádí odstupňování napěťových úrovní na výstupu, jež odpovídají váhám jednotlivých bitů vstupního čísla. Poměr zpětnovazebního a určeného vstupního rezistoru dává velikost zesílení operačního zesilovače a tedy váhu napětí určitého vstupu. Pro kombinace rezistorů $\frac{R_0}{R_1}$ a $\frac{R_0}{R_2}$ budou váhové poměry rezistorů následující:

$$\frac{R_0}{R_1} = \frac{5}{20} = \frac{1}{4} \quad (23)$$

$$\frac{R_0}{R_2} = \frac{5}{10} = \frac{1}{2} \quad (24)$$

Velikost napětí U_{Vyst} je získána podle vztahu:

$$U_{Výst} = -1 \cdot \left(\frac{R_0}{R_1} \cdot U_{Ref} + \frac{R_0}{R_2} \cdot U_{Ref} \right) = -1 \cdot \left(\frac{1}{4} \cdot U_{Ref} + \frac{1}{2} \cdot U_{Ref} \right) \quad (25)$$

Při užití kladného referenčního napětí U_{Ref} získáme na výstupu převodníku I/U záporné napětí $U_{Výst}$.

Ověření funkčnosti sumačního zesilovače jako převodníku I/U:

Správnost funkce součtového zesilovače je ověřena ve třech krocích:

- Nejprve je připojeno referenční napětí U_{Ref} na oba vstupy K_1 a K_2 současně.
- Potom je připínáno referenční napětí zvlášť na vstup K_1 a zvlášť na K_2 , jejich hodnoty $U_{Výst}$ na výstupu operačního zesilovače jsou sčítány.
- Pokud bylo schéma sumačního operačního zesilovače zapojeno správně, hodnota naměřeného výstupního napětí $U_{Výst}$ při současné aktivaci obou vstupů K_1 a K_2 podle bodu **a)** bude až na velmi malé odchylky shodná s hodnotou součtu výstupních napětí měřených zvlášť podle bodu **b)**.

Při užití referenčního napětí $U_{Ref} = 3V$ pro vstupy realizovaného převodníku I/U K_1 a K_2 bylo dosaženo velmi dobrých výsledků (viz. tabulka VII).

Tabulka VII. Ověření přesnosti sumačního zesilovače

$K_2 [V]$	$K_1 [V]$	$U_{Výst} [V]$
0,0	0,0	0,0
0,0	3,0	0,75
3,0	0,0	1,5
3,0	3,0	2,25

Pozn.: Na operačním zesilovači stavebnice Dominoputer lze získat maximální výstupní napětí o přibližné hodnotě $+7,2V$ anebo $-7,2V$ v závislosti na polaritě přivedeného vstupního referenčního napětí. V případě provádění laboratorní úlohy č.2 podle zadání požadujeme přivádět na vstupy K_1 a K_2 kladné referenční napětí U_{Ref} .

• Logický selektor

Logický selektor stavebnice Dominoputer je kompaktní soustavou elektronických obvodů. Obsahuje logické obvody určené pro realizaci jednotlivých tlačítek. Stav sepnutí nebo rozepnutí tlačítek je signalizován LED diodami. Sepnutím nebo rozepnutím tlačítek logického selektoru budou nastavovány binární hodnoty jednotlivých bitů vstupního

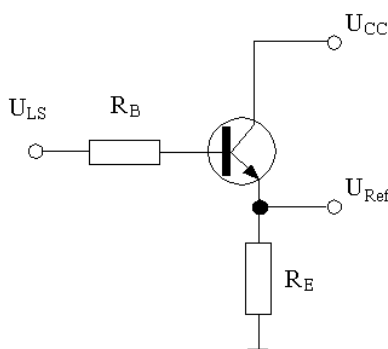
číslicového slova, které je požadováno převést na analogové stejnosměrné výstupní napětí. Budou se tedy tlačítka logického selektoru aktivovat či deaktivovat tranzistorové spínače pro připínání referenčního napětí U_{Ref} nebo nulového potenciálu na určené váhové rezistory převodníku I/U.

Tabulka VIII. Napěťové úrovně logického selektoru

Logická 0	Logická 1
0,106 V	3,968 V

- **Elektronický spínač realizovaný bipolárním tranzistorem C547B s polovodičovým přechodem typu NPN.**

Každý z tranzistorových spínačů je řízen logickými úrovněmi z logického selektoru. Jedno tlačítko logického selektoru odpovídá jednomu bitu číselného slova, které bude převedeno na analogový signál. Bude-li tlačítkem selektoru nastaven určitý x - tý bit číselného slova na logickou jedničku, je požadováno, aby x - tý elektronický spínač připojil referenční napětí k určitému x - tému sumačnímu váhovému rezistoru, odpovídajícímu váze x - tého nastaveného bitu. V případě nastavení příslušného bitu na nulu bude odpovídající váhový rezistor připojen k nulovému potenciálu, tedy k zemi.



Obr. 16. Princip jednoduchého tranzistorového spínače

Řídicí napěťová úroveň výstupu logického selektoru U_{LS} je přivedena přes rezistor R_B na bázi tranzistoru. Bázový rezistor R_B ovlivňuje velikost bázevého proudu I_B , který prochází do přechodu báze-emitor (dále již B-E) tranzistoru typu NPN a slouží také jako ochrana proti průrazu.

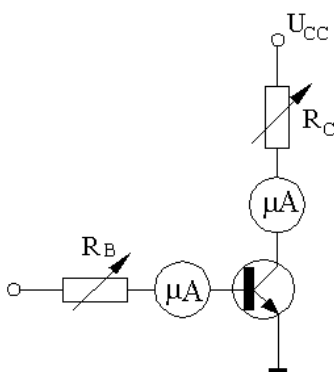
Při nulovém napětí U_{LS} je přechod B-E uzavřen a bázev proud I_B neprochází polovodičovým přechodem. Přechod kolektor-emitor (C-E) je taktéž uzavřen a proto má velký odpor. Pokud napětí U_B přivedené na bázi tranzistoru je vyšší než 0,7V; otvírá se přechod B-E a prochází jím bázev proud I_B . Protože odpor na přechodu C-E se nyní snížil, protéká jím kolektorový proud I_C . Proud protékající emitorem tranzistoru je součtem kolektorového proudu I_C a bázevého proudu I_B :

$$I_E = I_B + I_C . \quad (26)$$

Průchodem emitorového proudu I_E přes rezistor na emitoru R_E získáme úbytek napětí:

$$U_{Ref} = R_E \cdot I_E . \quad (27)$$

Napětí U_{Ref} je měřeno na uzlu mezi emitorem a rezistorem R_E vůči zemi a je užito jako referenční napětí pro váhové rezistory sumačního operačního zesilovače. Velikost referenčního napětí U_{Ref} tedy závisí na velikosti bázevého rezistoru R_B , proudu I_B jím protékajícím a na velikosti rezistoru na emitoru R_E a proudu kolektorového I_C . Rezistory R_B a R_E nastavujeme pracovní bod a pevné referenční napětí.



Obr. 17. Principiální schéma měření parametrů tranzistoru

Před samotnou realizací tranzistoru ve funkci elektronického spínače, bylo nutno zjistit velikosti proudu protékající bází I_B a kolektorem I_C , a tak zabezpečit, aby se předešlo přetěžování polovodičových přechodů tranzistoru vysokými proudy a tepelnému namáhání, jinak by mohlo dojít k nevratnému poškození tranzistoru. Podle odhadu byla stanovena podmínka – aby nebyl kolektor zatěžován procházejícím proudem I_C vyšším než 100mA, a zároveň, aby báze tekla proud o maximální hodnotě 15μA. Jako zdroj napájecího napětí U_{CC} o konstantní hodnotě 3,968V byl použit logicky selektor.

Než bylo na tranzistorový spínač sestavený podle schématu (viz. obr. 17) přivedeno napájecí napětí, byly do obvodu vhodně připojeny digitální miliampérmetry. Místo

rezistorů byly užity odporové dekády. Na odporových dekádách R_B , R_C byla prováděna změna jmenovitého odporu a sledována závislost změn proudů I_B a I_C protékajících obvodem. Při jmenovitém odporu na dekádě $R_C = 100\Omega$ tekla obvodem kolektorový proud $2mA$. V realizovaném zapojení v důsledku velmi nízkých proudů dodávaných zdrojem U_{CC} nebylo nutné použít ochranný rezistor R_C . Podle výpočtu za použití Ohmova zákona, při napětí sepnutého tlačítka logického selektoru $U_{LS} = 3,968V$ bude nejvyššímu proudu o hodnotě $I_B = 15\mu A$ stát v cestě do báze tranzistoru rezistor s vlastním ohmickým odporem $270k\Omega$. Nejprve byl s jistotou rezervou použit bázevý odpor o hodnotě $600k\Omega$, vyšší než hodnota rezistoru vypočtená podle Ohmova zákona. Při napětí $U_{LS} = 3,968V$ na sepnutém tlačítku logického selektoru bude přes rezistor R_B do báze tranzistoru přicházet proud I_B :

$$I_B = \frac{U_{LS}}{R_B}, \quad (28)$$

jehož vypočítaná hodnota odpovídá $6,615\mu A$. Z displeje mikroampérmetru vloženého do elektrického obvodu byl odečten skutečný údaj $I_B = 5,4\mu A$. Proud tekoucí do báze byl tedy ještě nižší než bylo předpokládáno. Proto byla snižována velikost jmenovitého odporu bázevého rezistoru R_B . Pro zbývající měření proudové závislosti byl ponechán v obvodu odpor R_C odpovídající hodnotě 100Ω . Závislost velikosti proudu I_B protékajícího obvodem na volbě jmenovitého odporu R_B je uvedena v tabulce IX.

Tabulka IX. Velikost proudu I_B v závislosti na volbě rezistoru R_B

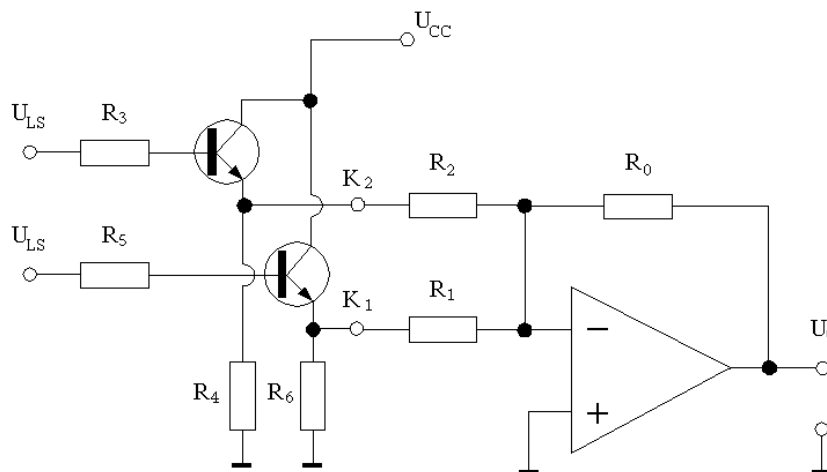
$R_B [k\Omega]$	$I_B [\mu A]$
600	5,4
500	6,5
400	8,0
300	10,6
200	15,6

Po ověření základních parametrů tranzistoru je realizováno zapojení elektronického spínače pro kontrolu funkčnosti zatím samostatně - bez připojení k bloku I/U převodníku. V zapojení spínače není použit kolektorový ochranný rezistor R_C , neboť kolektorový proud díky dobré přesnosti zdroje stavebnice Dominoputer nehrozil tepelným zatěžováním tranzistoru. Byl použit bázevý rezistor R_B o jmenovitém odporu $300k\Omega$, a emitorový rezistor R_E s odporem $10k\Omega$.

Při nastavení určitého tlačítka logického selektoru na logickou jedničku se připojí na bázevý rezistor spínače napětí U_{LS} shodné s velikostí napájecího napětí U_{CC} , tj. $3,968V$

(viz. tabulka VIII). Napětí U_{LS} bylo vyšší než hodnota $0,7V$, což je úbytek na přechodu B-E nutný k tomu, aby se tranzistor otevřel a přechodem C-E mohl protékat kolektorový proud I_C . Proud I_C se na emitoru sečte s bázevým proudem I_B (viz. vztah (26)) a vytvoří na emitorovém rezistoru úbytek U_{Ref} , který bude použit jako referenční napětí pro určitý váhový rezistor sumačního zesilovače užitého jako převodníku I/U.

Volbou rezistorů o hodnotách $R_B = 300k\Omega$, $R_E = 10k\Omega$ bylo získáno velmi přesné referenční napětí $U_{Ref} = 3,064V$. Při nastavení logické nuly tlačítkem selektoru bylo na bázevý rezistor R_B přivedeno napětí $U_{LS} = 0,104V$. Není překonán úbytek na přechodu B-E a zároveň přechodem prochází velmi nízký bázevý proud. Tranzistor elektronického spínače se tedy neotevře. Přechod mezi C-E má velký odpor a nepropustí kolektorový proud. Úbytek U_{Ref} vůči zemi je téměř nulový. Jeden realizovaný tranzistorový spínač bude připojen k váhovému rezistoru R_1 převodníku I/U a druhý spínač bude přivádět tytéž logické napěťové úrovně, avšak na rezistor R_2 (viz. obr. 18).



Obr. 18. Sloučení bloku spínačů a převodníku I/U

Při propojení bloku spínačů a I/U převodníku zde vzniká jedno úskalí. Nastavením obou tlačítek logických selektorů na logickou jedničku, jsou sepnuty oba tranzistorové spínače a přivádějí na váhovací rezistory R_1 a R_2 napětí U_{Ref} . Záporné napětí $U_{Výst}$ získané na výstupu sumačního zesilovače převodníku I/U by mělo odpovídat vztahu (29), avšak

$$U_{Výst} = -1 \cdot \left(\frac{R_0}{R_1} \cdot U_{Ref} + \frac{R_0}{R_2} \cdot U_{Ref} \right) = -1 \cdot \left(\frac{1}{4} \cdot U_{Ref} + \frac{1}{2} \cdot U_{Ref} \right) \quad (29)$$

$U_{Výst}$ bude menší než jsme předpokládali. Je to způsobeno změnou výsledného odporu váhových rezistorů. Připojením výstupu spínače k váhovému rezistoru R_1 (popř. R_2) vznikne

výsledná paralelní rezistivita R_{1P} (popř. R_{2P}) v uzlu mezi polovodičovým přechodem tranzistoru a invertujícím vstupem operačního zesilovače, která je dána paralelní kombinací rezistoru R_E a váhového rezistoru R_1 (popř. R_2). Místo jmenovitého odporu R_1 (popř. R_2) budeme již muset pracovat v obvodu s nižší hodnotou výsledného odporu, která bude při zanedbání vlivu vnitřního odporu emitoru pro:

$$R_{1P} = \frac{1}{R_1} + \frac{1}{R_E} = \frac{R_E \cdot R_1}{R_1 + R_E}, \quad (30)$$

a zároveň pro:

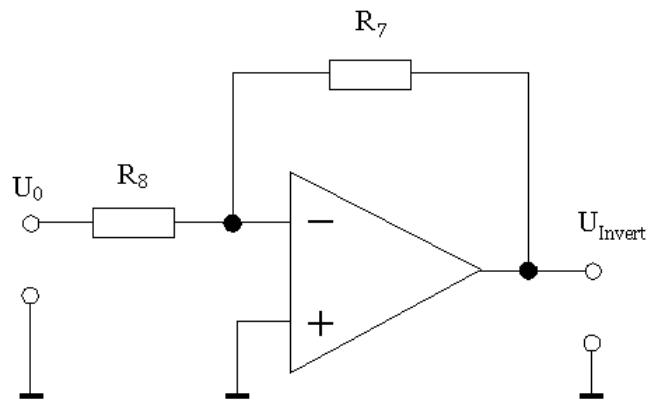
$$R_{2P} = \frac{1}{R_2} + \frac{1}{R_E} = \frac{R_E \cdot R_2}{R_2 + R_E}. \quad (31)$$

Při měření v uzlech K_1 a K_2 (v místech spojení spínačů a převodníku I/U) se potvrdilo, že referenční napětí na emitoru tranzistoru pokleslo. Po připojení spínačů na vstupy K_1 a K_2 převodníku I/U se referenční napětí snížilo z přesných 3,064V na 2,894V v uzlu K_1 a z 3,064V na 2,795V v uzlu K_2 . V konečném důsledku spojení pracovních bloků spínačů a převodníku se zmenší odpor emitorového rezistoru R_E a úbytek na něm bude menší. U_{Ref} je tedy nižší než požadujeme. Je nutné nepřesnou hodnotu U_{Ref} upravit.

Během zkoumání vlastností tranzistoru, při pokusech zvyšování U_{Ref} pomocí zvyšování napájecího napětí tranzistor od $U_{CC} = 4,5V$ na změnu již nereagoval a dodával nezvyšující se kolektorový proud. Bylo zde dosaženo pracovního bodu a přechod tranzistoru byl plně otevřen. Napětí U_{Ref} bylo neměnné. Tudíž korekci velikosti U_{Ref} neprovádíme zvyšováním napětí U_{CC} , nýbrž doladováním poměru bázevého rezistoru R_3 (popř. R_5) a emitorového rezistoru R_4 (popř. R_6) na tranzistorových spínačích (viz. obr. 18). Hodnoty rezistorů R_1 a R_2 je nutné ponechat stejné jako byly původně navrženy.

- **Blok převodu polarity výstupního napětí**

Invertor využívající vlastnosti operačního zesilovače (viz. obr. 19) slouží v zapojení D/A převodníku jako blok obracející záporné napětí U_{Vyst} z převodníku I/U na napětí o kladné polaritě U_{Invert} .



Obr. 19. Princip invertoru

Princip funkce invertoru je identický s principem funkce převodníku I/U realizovaného sumačním operačním zesilovačem, ale na vstup invertoru je přivedeno pouze jedno napětí, a to $U_{Výst}$. Při určité hodnotě $U_{Výst}$ protéká do invertujícího vstupu invertoru přes rezistor R_8 pouze jeden proud, označený jako I_8 . Jeho velikost je definovaná Ohmovým zákonem:

$$I_8 = \frac{U_{Výst}}{R_8}. \quad (32)$$

Velikost výstupního napětí U_{Invert} závisí na velikosti zesílení, tedy na poměru zpětnovazebního rezistoru R_7 a rezistoru R_8 na invertujícím vstupu:

$$U_{Invert} = -U_{Výst} \cdot \frac{R_7}{R_8}. \quad (33)$$

Aby blok invertoru měnil pouze polaritu napětí přivedeného na vstup, je požadavkem dodržet shodnou velikost jmenovitého odporu rezistorů R_7 a R_8 .

2.2.2 Ověření funkčnosti převodníku pro jiná referenční napětí

Druhá část úlohy je věnována ověření funkčnosti realizovaného D/A převodníku s binárně váhovanou sítí pro jiná referenční napětí. Volba referenčního napětí by měla probíhat přibližně od 0 – 3V, neboť na tranzistorovém spínači připojeném k ostatním prvkům zapojení je největší dosažitelné napětí hodnota $U_{Ref} = 3,3V$.

Na celkovém zapojení převodníku D/A bylo provedeno několik měření za účelem zhodnocení změny napětí U_{Ref} a $U_{Výst}$ pro různé kombinace rezistorů R_B a R_E užitých v

tranzistorových spínačích. Naměřené hodnoty jsou zaznamenány v následujících tabulkách.

Tabulka X. Referenční napětí U_{Ref} při $R_B = 100k\Omega$ a $R_E = 2k\Omega$

K_2 [V]	K_1 [V]	U_{Vyst} [V]
0,0	0,0	0,0
0,0	2,766	0,681
2,712	0,0	1,358
2,712	2,767	2,047

Tabulka XI. Referenční napětí U_{Ref} při $R_B = 200k\Omega$ a $R_E = 10k\Omega$

K_2 [V]	K_1 [V]	U_{Vyst} [V]
0,0	0,0	0,0
0,0	3,008	0,752
3,000	0,0	1,499
3,000	3,008	2,253

Tabulka XII. Referenční napětí U_{Ref} při $R_B = 400k\Omega$ a $R_E = 5k\Omega$

K_2 [V]	K_1 [V]	U_{Vyst} [V]
0,0	0,0	0,0
0,0	2,481	0,620
2,465	0,0	1,232
2,465	2,483	1,854

Tabulka XIII. Referenční napětí U_{Ref} při $R_B = 1M\Omega$ a $R_E = 2k\Omega$

K_2 [V]	K_1 [V]	U_{Vyst} [V]
0,0	0,0	0,0
0,0	1,186	0,296
1,105	0,0	0,552
1,106	1,186	0,850

Tabulka XIV. Referenční napětí U_{Ref} při $R_B = 1M\Omega$ a $R_E = 10k\Omega$

K_2 [V]	K_1 [V]	U_{Vyst} [V]
0,0	0,0	0,0
0,0	2,228	0,555
1,988	0,0	0,994
1,988	2,228	1,551

2.2.3 Zhodnocení laboratorní úlohy č.2

Do laboratorní úlohy č.2 byly bloky logického selektoru a tranzistorového spínače zařazeny z toho důvodu, že by bylo nešikovné připojovat na určené váhové rezistory převodníku I/U nulový potenciál nebo referenční napětí přímo ze zdroje stavebnice Dominoputer. Zároveň bylo požadováno, aby studenti použili v této úloze tranzistoru jako elektronického spínače. Během realizace této úlohy bylo nedostatek přesně nastavitelných stejnosměrných zdrojů, a tak bylo použito logického selektoru zároveň jako zdroje napájecího napětí U_{CC} pro tranzistorový spínač o hodnotě 3,984V. Úloha byla navržena tak, aby zapojení D/A převodníku nebylo náročné z pohledu studenta. Realizace 2-bitového D/A převodníku postačuje na předvedení principu funkce tohoto převodníku. Při návrhu převodníku s vyšším počtem bitů by byla náročnost na čas zkompletování daného zapojení vyšší a vzrostly by nároky na počet užitých součástek stavebnice Dominoputer.

2.3 Úloha č.3 - Ověření vlastností 8-bitového aproximačního A/D převodníku

2.3.1 Princip činnosti aproximačního A/D převodníku

Během laboratorní úlohy č.3 bude prováděno měření na aproximačním A/D převodníku, který je hotovým funkčním blokem elektronické stavebnice Dominoputer. Studenti se nejprve seznámí s principem činnosti aproximačního A/D převodníku a poté ověří jeho základní vlastnosti.

Každý aproximační převodník obsahuje komparátor, digitálně – analogový převodník, generátor hodinového signálu (v případě laboratorní úlohy č.3 budou řídicí hodinové impulsy na převodník přivedeny externě) a aproximační registr (do něj je zahrnut posuvný registr, paměťový registr a příslušné řídicí logické obvody). Aproximační registr postupně „zkusmo“ nastavuje jednotlivé bity výsledného binárního čísla, počínaje od MSB. Po každém pokusu je nastavené číslo pomocí D/A převodníku převedeno na napětí U_{DAP} a na komparátoru je porovnáno se vstupním měřeným napětím U_{Vst} . Pokud je nastavené binární číslo a jemu odpovídající napětí U_{DAP} větší než měřené napětí, naposled nastavený bit je vynulován a postupuje se na bit číselného slova o jeden řád nižší.

Při laboratorním měření bude používán osmibitový A/D převodník s postupnou aproximací o době převodu $5\mu s$. Poloha jednotlivých DIP přepínačů na rozsahu RANGE (viz. tabulka XVI) určuje, v jakých napěťových mezích bude měření na aproximačním A/D převodníku probíhat.

Tabulka XV. Přehled všech vstupů a výstupů aproximačního ADP

Název položky	Funkce
INPUT	Vstup převodníku
OUTPUT (D ₀ – D ₇)	Výstupy převodníku
RANGE	Napěťový rozsah převodníku
/SELECT	Výběr obvodu
/WRITE	Start převodu
/READ	Třetí stav výstupu
/LATCH	Zápis do výstupního bufferu
CLK ₀	Výstup vnitřních hodin
CLK ₁	Vstup pro vnější hodinové impulsy
IN SH	Vstup vzorkovače SH
OUT SH	Výstup vzorkovače SH
/HOLD	Řízení vzorkovače
SOUT	Sériový výstup převodníku
/BUSY	Stav výstupu
+5	Přívod +5V
GND	Přívod GND

Pozn.: Vstupy /HOLD, /LATCH, /READ, /SELECT a /WRITE jsou vstupy negované - k jejich aktivaci je nutné přivést logickou úroveň L.

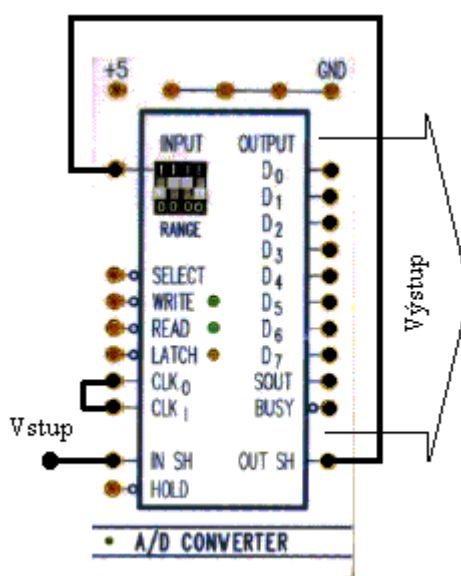
Tabulka XVI. Rozsah RANGE

Kombinace přepínačů rozsahu RANGE	Zvolený napěťový rozsah
0110	0 ÷ 5V
0100	0 ÷ 10V
1000	0 ÷ 20V
0111	± 2,5V
0101	± 5V
1001	± 10V

Převodník je nutno před započítím převodu aktivovat negovaným vstupem pro výběr obvodu, tedy připojit na vstup /SELECT logickou úroveň L. Samotný převod analogové vstupní veličiny na výstupní číslíkové slovo je velmi rychlý. U osmibitového A/D převodníku je dosaženo správného osmibitového výsledku během 8 cyklů. Každý

cyklus převodu je započat přivedením nového hodinového impulsu na blok hodinových vstupů převodníku. Podle zapojení hodinových vstupů lze rozdělit převod na:

- **převod s ručním krokováním** - jednotlivé hodinové impulsy dodávané z tlačítka logického selektoru (popř. z generátoru časové základny) jsou přiváděny hodinový vstup CLK_1 . Pro kompletní převod je nutno přivést 8 impulsů.
- **převod s automatickým krokováním** - přivedením jediného impulsu na negovaný vstup $/WRITE$ se na pomocném výstupu CLK_0 vygeneruje právě 8 impulsů, takže propojením výstupu CLK_0 a hodinového vstupu CLK_1 se zajistí kompletní převod na jediný impuls.



Obr. 20. 8-bitový aproximační A/D převodník s automatickým krokováním převodu

Měřené napětí U_{Vst} je přiváděno na vstup INPUT přes impedanční převodník o rezistivitě vyšší než $500M\Omega$ se vzorkovacím obvodem (SAMPLE&HOLD). Vstup vzorkovače je označen jako IN SH a výstup jako OUT SH. Vstupní napětí, jež bude převedeno na číselnou posloupnost jednotlivých bitů, lze měřit na paralelních výstupech (D_0 - D_7) jako logické úrovně. Je možno používat také sériový výstup (SOUT) s indikací stavu převodu (BUSY).

2.3.2 Zadání laboratorní úlohy č.3

Proveďte úkoly dle zadání. U každého úkolu si do tabulky pečlivě zaznamenejte hodnotu měřeného napětí, binární číslo na výstupu převodníku a tomu odpovídající znaky v šestnáctkové soustavě na sedmisegmentovém zobrazovači :

- 1) Zapojte aproximační převodník s automatickým krokováním a měřené napětí přiveďte přes impedanční převodník. Nastavte rozsah převodu na $0 \div 5V$. Pro sledování stavu na výstupu doplňte měřicí zapojení o modul sedmissegmentového zobrazovače.
- 2) Seznamte se s činností aproximačního převodníku. Zjistěte, který bit má nejvyšší váhu (Most Significant Bit – MSB) a který bit naopak nejnižší (Least Significant Bit – LSB).
- 3) Zaznamenejte hodnotu měřeného napětí kdy se na výstupu převodníku objeví právě tato číselná slova: 00000000, 10000000, 11111111.
- 4) Vypočítejte rozlišení převodníku (tj. napětí odpovídající změně o 1 LSB) pro nastavený rozsah.
- 5) Zjistěte jaké napětí je třeba přivést na vstup převodníku, aby se na výstupu objevilo binární slovo, které po převedení do desítkové soustavy bude mít dekadickou hodnotu rovnu:
 - a) $[50 + 5 \cdot i]$
 - b) $[160 + 6 \cdot i]$

Pozn.: i je číslo, které přidělí studentům cvičící. K řešení těchto úkolů bylo voleno $i = 2$.
- 6) Použijte napětí **a)** z předchozího úkolu. Zapojte převodník na ruční krokování. Zaznamenejte celý postup aproximačního převodu a vynesete do grafu napětí odpovídající jednotlivým vstupním slovům během převodu.
- 7) Opakujte úkoly 3), 4), 5) při změně rozsahu na $\pm 5V$.

2.3.3 Měření laboratorní úlohy č.3

Měření úkolů 1) – 6) bylo provedeno pro názornost na rozsahu $0 \div 5V$:

add 1) Pro užití napěťového rozsahu $0 \div 5V$ byly přepínače rozsahu převodníku RANGE nastaveny na kombinaci 0110. Vstupní měřené napětí bylo přivedeno na vstup vzorkovacího obvodu IN SH. Signál z výstupu vzorkovacího obvodu OUT SH je připojen na vstup aproximačního převodníku INPUT. Automatické krokování převodu zajistí přivedení výstupu vnitřního časování CLK₀ na hodinový vstup CLK₁. Přivedením logické nuly pomocí tlačítka logického selektoru na vstup /WRITE začíná automatický převod. Převodník byl aktivován přivedením logické

úrovně L na vstup /SELECT. Stavy jednotlivých bitů výstupního slova indikuje již zmiňovaný sedmisegmentový zobrazovač.

add 2) Přivedením vstupního napětí o hodnotě blíží se polovině analogového rozsahu signalizovala LED dioda logickou jedničkou na sedmisegmentovém zobrazovači výstup převodníku D_7 . Tedy bit D_7 je bitem nejvyššího řádu (MSB). Bitu nejnižšího řádu odpovídá výstup převodníku D_0 .

add 3) Hodnoty nastaveného vstupního napětí požadované pro zobrazení zadaných číselných posloupností bitů jsou zaznamenány v tabulce XVII.

Tabulka XVII. Naměřené údaje pro třetí úkol

Vstupní napětí [V]	Binární číslo	Hexadecimální znak
0,0	00000000	00 H
2,5	10000000	80 H
5,0	11111111	FF H

Pozn.: Pozici prvního bitu binárního čísla nejvíce vlevo odpovídá bit D_7 .

add 4) Rozlišení převodníku v daném rozsahu závisí na rozpětí mezi maximální a minimální napětovou úrovní a na počtu dosažitelných kvantovacích úrovní. Pro osmibitový převodník s napěťovým rozsahem 0-5V tedy získáme rozlišení:

$$q = \frac{FS}{2^N} = \frac{5}{2^8} = 0,039 \quad (34)$$

Při ověřování rozlišení měřením bylo zjištěno, že přesnost na úrovni nejnižšího bitu (LSB) je dokonce vyšší, než vypočtený odhad. Při užití přesného referenčního napětí přivedeného na vstup převodníku měla napěťová úroveň nultého výstupního bitu (LSB) rozpětí 9mV; jak je patrné z tabulky XVIII.

Tabulka XVIII. Ověření rozlišení na pozici LSB

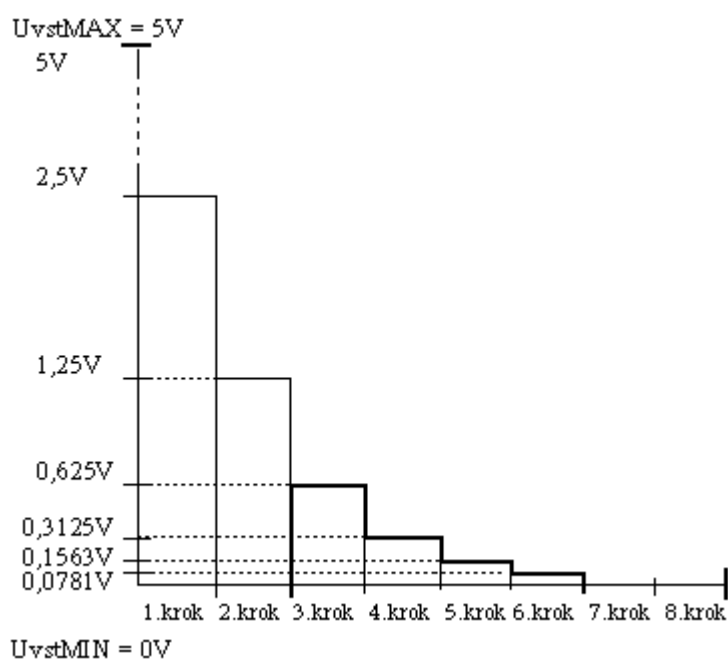
Vstupní napětí [V]	Binární číslo	Hexadecimální znak
0,000	00000000	00 H
0,008	00000000	00 H
0,009	00000001	01 H

Tabulka XIX. Ověření rozlišení na pozici MSB

Vstupní napětí [V]	Binární číslo	Hexadecimální znak
2,488	01111111	7F H
2,500	10000000	80 H

- a) Nejprve bylo dekadické číslo 60 (pro: $i = 2$) převedeno na číslo binární tj. 00111100 a poté bylo jemným doladováním odvozeno vstupní napětí 1,16V. Na sedmisegmentovém zobrazovači byla odečtena hexadecimální hodnota 3C.
- b) V následujícím případě dekadická hodnota čísla 172, převedená na binární 10101100, odpovídala 3,36V a hexadecimálnímu číslu AC.

add 5) Průběh ručního krokování:



Obr. 21. Princip aproximačního převodu

Na obr. 21 lze vidět jak probíhá převod analogové veličiny na binární číslo. Nejprve je nastaven první bit (MSB), tedy polovina analogového rozsahu (2,5V), na logickou 1. Vstupní napětí U_{vst} je menší než váha poloviny rozsahu, bit MSB je tedy nulován. Na počátku druhého kroku je nastaven druhý bit odpovídající $\frac{1}{4}$ rozsahu a je také zamítnut. Ve třetím kroku je váha třetího bitu menší než vstupní měřené napětí, třetí bit zůstane nastaven na logickou 1. Ve čtvrtém kroku váha čtvrtého bitu nepřesáhla velikost U_{vst} , čtvrtý bit zůstane taktéž nastaven a zároveň bude jeho analogová váha přičtena k váze třetího bitu. Převod pokračuje dále. Na konci osmého kroku je ukončen a bity, které zůstaly nastaveny, tvoří výsledné číslicové slovo. To je na obr. 21 zvýrazněno.

2.4 Úloha č.4 - Ověření vlastností 8-bitového D/A převodníku s napět'ovým výstupem

2.4.1 Princip činnosti D/A převodníku s napět'ovým výstupem

V průběhu laboratorní úlohy č.4 bude probíhat měření na D/A převodníku s napět'ovým výstupem, který je hotovým funkčním blokem elektronické stavebnice Dominoputer. Studenti ověří jeho základní vlastnosti prováděním zadaných úkolů.

Digitálně – analogový převodník se zjednodušeně skládá z bloku elektronických spínačů, odporové sítě a převodníku proudu na napětí. Elektronické spínače jsou řízeny jednotlivými bity číslicového slova, které je požadováno převést na analogový signál. Spínače připojují určité části odporové sítě buď k referenčnímu napětí, nebo k nulovém potenciálu. Proud z referenčního zdroje protékající rezistory v odporové síti jsou sečteny a převedeny na výstupní napětí.

Tabulka XX. Přehled všech vstupů a výstupů použitého DAP

<i>Název položky</i>	<i>Funkce</i>
INPUT ($D_0 - D_7$)	Vstupy převodníku
OUTPUT	Výstup převodníku
RANGE	Napět'ový rozsah převodníku
/SELECT	Výběr obvodu
/WRITE	Zápis do I. pamět'ového registru
/LOAD	Zápis do II. pamět'ového registru
IN OA	Vstup invertoru
OUT OA	Výstup invertoru
+5	Prívod +5V
GND	Prívod GND

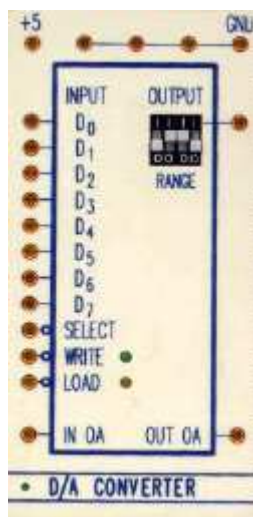
Pozn.: Vstupy /LOAD, /SELECT a /WRITE jsou vstupy negované - k jejich aktivaci musí být přivedena logická úroveň L.

Při laboratorním měření bude používán osmibitový D/A převodník s napět'ovým výstupem. Volba rozsahu výstupního napětí je provedena nastavením polohy jednotlivých DIP přepínačů rozsahu RANGE (viz. tabulka XXI). Před započítím samotného převodu je nutné převodník aktivovat logickou úrovní L přivedenou na vstup /SELECT. Vstup /WRITE slouží pro zápis do prvního pamět'ového registru. Vstup /LOAD slouží pro zápis

Tabulka XXI. Rozsah RANGE

<i>Kombinace přepínačů rozsahu RANGE</i>	<i>Zvolený napět'ový rozsah</i>
0110	0 ÷ 5V
0100	0 ÷ 10V
0111	± 2,5V
0101	± 5V
1001	± 10V

do druhého paměťového registru. Oba naposled zmiňované řídicí vstupy nebudou během měření využívány. Pro změnu polarity výstupního napětí je k převodníku D/A přidružen analogový invertor se zesílením právě „–1“, přičemž vstup invertoru je označen jako IN OA a výstup OUT OA.



Obr. 22. 8-bitový D/A převodník s napět'ovým výstupem

2.4.2 Zadání laboratorní úlohy č.4

Proveďte úkoly dle zadání. U každého úkolu si do tabulky pečlivě zaznamenejte hodnotu vstupního binárního slova a tomu odpovídající výstupní napětí odečtené na digitálním multimetru:

- 1) Proveďte nastavení rozsahu převodu DAP na 0 ÷ 5V.
- 2) Zadáním vhodného číselného slova tlačítky logického selektoru a odečítáním hodnot na digitálním multimetru zjistěte, který bit má nejvyšší váhu (Most Significant Bit – MSB) a který bit naopak nejnižší (Least Significant Bit – LSB).

- 3) Ověřte, jaké hodnoty výstupního napětí odpovídají vstupním slovům 00000000, 10000000, 11111111.
 - 4) Vypočítejte rozlišení D/A převodníku (tj. napětí odpovídající změně o 1 LSB) pro nastavený rozsah.
 - 5) Zjistěte velikost napětí naměřeného na výstupu převodníku pokud bude nastavené vstupní binární slovo odpovídat hodnotě dekadického čísla:
 - a) $[150 + 5 \cdot i]$
 - b) $[95 + 2 \cdot i]$
- Pozn.: i je číslo, které přidělí studentům cvičící. K řešení těchto úkolů bylo voleno $i = 2$.
- 6) Nastavte takovou hodnotu vstupního číselného slova, aby bylo získáno na výstupu převodníku napětí s největší možnou přesností o hodnotě: $[2,20V + 0,3V \cdot i]$.
 - 7) Opakujte úkoly 3), 4), 5), 6) při změně rozsahu na $\pm 5V$.

2.4.3 Měření laboratorní úlohy č.4

Měření úkolů 1) – 6) bylo provedeno pro názornost na rozsahu $0 \div 5V$:

- add 1) Aby byl vybrán napěťový rozsah $0 \div 5V$, byla zvolena na přepínačích rozsahu převodníku RANGE kombinace 0110. Přivedením logické úrovně L vstup /SELECT byl připraven D/A převodník na převod.
- add 2) Nastavením vstupního číselného slova na posloupnost 00000001, tedy aktivací pouze vstupního bitu D_7 , se na digitálním multimetru zobrazilo napětí $5,6mV$. Bit D_7 je tedy bitem nejnižšího řádu, bitem LSB. Naopak nastavením bitu D_0 , bylo na multimetru zobrazeno výstupní napětí o polovině analogového rozsahu odpovídající váze bitu nejvyššího řádu MSB.
- add 3) Nastavená číselná slova a tomu odpovídající hodnoty výstupního napětí jsou zaznamenány v tabulce XXII.

Tabulka XXII. Naměřené údaje pro třetí úkol

Binární číslo	Vstupní napětí [V]
00000000	0,0056
10000000	2,5070
11111111	4,9710

Pozn.: Pozici prvního bitu binárního čísla nejvíce vlevo odpovídá bit D_0 .

add 4) Výpočet rozlišení daného převodníku bude proveden podle vztahu (34). Při prvním měření skutečného rozlišení bylo zjištěno, že přesnost na úrovni nejnižšího bitu (LSB) téměř odpovídá rozlišení vypočtenému. Při užití přesného referenčního napětí přivedeného na vstup převodníku měla napěťová úroveň nultého výstupního bitu (LSB) rozpětí $18,2mV$ (viz. tabulka XXIII). Druhé měření proběhlo mezi kvantovacími úrovněmi o číselných slovech 10011111 a 10010000. Bylo ověřeno, že skutečné rozlišení v těchto bodech má napěťové rozpětí $22mV$ (viz. tabulka XXIV).

Tabulka XXIII. Ověření rozlišení na pozici LSB

Binární číslo	Vstupní napětí [mV]
00000000	5,6
00000001	24,2

Tabulka XXIV. Ověření rozlišení za pozicí MSB

Binární číslo	Vstupní napětí [V]
10000111	2,795
10010000	2,817

add 5)

- a) Dekadické číslo 160 ze zadání (pro: $i = 2$) bylo převedeno na binární číslo 1010000. Nastavenému binárnímu číslu odpovídá stejnosměrné napětí na výstupu D/A převodníku o hodnotě $3,128V$.
- b) V následujícím případě desítkové číslo 99 odpovídá hodnotě binárního čísla 10101100. Tato číselná kombinace bitů byla převedena na výstupní napětí o hodnotě $1,895V$.

add 6) Pro požadované napětí $2,8V$ byl nastaven bit nejvyššího řádu. Bylo tak získáno výstupní napětí o polovině užitého analogového rozsahu - tedy $2,5V$. Metodou náhodného nastavování vstupních bitů se podařilo přiblížit k hodnotě výstupního napětí ze zadání ($2,8V$) na $2,825V$ při číselné kombinaci 11001000. Poté bylo ještě nastavením číslicového slova na 11000111 dosaženo ještě přesnější hodnoty, a to $2,784V$.

ZÁVĚR

Bakalářská práce byla psána z pohledu studenta za účelem vytvoření laboratorních úloh pro studenty Technologické fakulty studujících „neelektrické“ obory, kteří mají většinou základní znalosti z elektroniky a číslicové techniky. Během vypracování bakalářské práce jsem získal mnoho nových zkušeností z oblasti elektroniky a číslicové techniky. Osvojil jsem si práci se stavebnicí Dominoputer, neboť pomocí této elektronické stavebnice je realizována každá z navržených laboratorních úloh. Stavebnice byla užita pro své neocenitelné vlastnosti. Z většího výčtu pozitivních vlastností lze uvést dvě hlavní a to: rychlé sestavování výsledných elektrických obvodů, bez nutnosti pájení užitých součástek na plošné spoje a dosažení vyšší přesnosti při práci užitím velmi přesných referenčních veličin z napájecích zdrojů stavebnice Dominoputer.

Laboratorní úloha č.1 byla zaměřena na návrh a sestavení paralelního komparačního analogově – digitálního převodníku. Počátečním předpokladem bylo, aby se studenti nejprve pečlivě seznámili se zadanou prací a dále pak s principem funkce realizovaného elektrického zapojení. Následně byla provedena realizace jednotlivých dílčích bloků postupně podle návodu. Po ověření funkčnosti určitého bloku byl sestaven blok následující a připojen k bloku stávajícímu - předchozímu. Tak vzniklo celé výsledné zapojení, které bylo funkční. Případné chyby v zapojení se daly snadno nalézt, neboť navržené zapojení není příliš složité.

Počátek realizace A/D převodníku byl zaměřen na návrh odporového děliče, který spolu se sadou komparátorů slouží jako kvantovací blok k určení kvantovacích úrovní. Studenti využijí svých znalostí o operačních zesilovačích pro realizaci komparátorů. Výstupní napětí z komparátorů jsou pro logické obvody dále použitého dekodéru nečitelné, proto bylo nutno dekodéru předřadit obvod pro přizpůsobení napěťových úrovní úrovní logickým. Další následující činností byla realizace dekodéru z určitého počtu logických obvodů. Nejdříve bylo nutné navrhnout logickou funkci dekodéru podle definovaných zákonitostí Booleovy algebry. Poté podle navržené funkce byly vhodně propojeny logické obvody tak, aby byl sestaven funkční dekodér.

Dekodér převádí ošetřené kvantované napěťové úrovně na výstupní číslicové signály použitelné pro další číslicové zpracování. Po zkompletování dílčích bloků do celku bylo provedeno zpřesnění linearity převodu realizovaného převodníku. Toho bylo docíleno doladěním velikosti jmenovitého odporu jednotlivých rezistorů v odporovém děliči kvantovacího bloku.

Tuto úlohu lze hodnotit po stránce elektrického zapojení a vlastního měření jako úlohu, kde jsou studenti schopni uplatnit znalosti z více oblastí elektroniky a číslicové techniky. Vzhledem tomu, že pro kompletního sestavení paralelního komparačního A/D převodníku je nutno zapojit tři odlišné funkční bloky a provést ověření jejich funkčnosti, může být úloha časově náročnější, proto druhá část úlohy, tedy snaha o zpřesnění parametrů převodníku je považována spíše za nadstavbu pro danou laboratorní úlohu.

Úloha č.2 byla zaměřena na realizaci číslicově – analogového převodníku s binárně váhovanou sítí. Sestavením prvního funkčního bloku, převodníku I/U, studenti opět uplatní své znalosti o operačních zesilovačích, neboť převodník I/U obsahuje binárně váhovanou rezistorovou síť a operační zesilovač v zapojení sumačního zesilovače. Sumační zesilovač slouží jako prvek převádějící součet vstupních proudů na invertujícím vstupu OZ na výstupní napětí o velikosti závisující na poměru rezistorů užitých v zapojení. Samotné realizaci dalšího funkčního bloku, elektrického spínače, předchází měření pro ověření základních parametrů NPN tranzistoru. Parametry tranzistoru byly nápomocny při volbě rezistorů pro nastavení pracovního bodu spínače.

Při kompletaci dílčích bloků převodníku I/U a elektronického spínače do celku se snížilo referenční napětí pro převodník. To bylo způsobeno vlivem paralelní kombinace váhových rezistorů sumačního zesilovače a emitorových rezistorů na spínačích. Snížené referenční napětí bylo nutno naddimenzovat, tzn. vhodným poměrem rezistorů R_B a R_E upravit referenční napětí, které je odebíráno z emitoru tranzistorů jednotlivých elektronických spínačů. Převodník se záporným výstupním napětím byl poté doplněn o invertor – operační zesilovač v invertujícím zapojení se zesílením právě „-1”.

Úloha č.2 byla navržena tak, aby zapojení D/A převodníku nebylo náročné z pohledu studenta. Realizace 2-bitového D/A převodníku postačuje na osvětlení principu funkce tohoto převodníku. Při navržení převodníku s vyšším počtem vstupních bitů by byla náročnost na čas zkompletování a počet použitých součástek v daném zapojení vyšší. Na příkladu snížení referenčního napětí při paralelizaci rezistorů si studenti ověří, že vlastnosti převodníků ovlivňuje hlavně chování analogových obvodů.

Laboratorní úlohy 3 a 4 jsou napsány tak, aby si studenti vyzkoušeli, jak se pracuje s přesným převodníkem o větším počtu bitů. V předchozích úlohách byl kladen větší důraz na návrh převodníku a jeho realizaci, tedy za omezený čas jednoho laboratorního cvičení sestavit z určitých funkčních bloků správně fungující převodník a zkontrolovat jeho

základní parametry, popřípadě zpřesnit a dostatečně linearizovat jeho převodní funkci. Nebyl vymezen čas pro podrobnější zkoumání vlastností navrženého převodníku.

V případě úloh 3 a 4 odpadá návrh převodníku a úlohy jsou zaměřeny spíše na ověřování vlastností užitého převodníku. Probíhá měření přesnosti rozlišení, měření závislosti hodnoty výstupního číslicového slova na přivedeném vstupním napětí při práci na aproximačním A/D převodníku, popřípadě měření velikosti výstupního napětí na D/A převodníku s napěťovým výstupem v závislosti na nastavení jednotlivých bitů vstupního slova. Do laboratorních úloh byl zanesen výpočet rozlišení daného převodníku pro srovnání ideálních a skutečných vlastností převodníku. V zadaných úkolech je nutné použít převodů mezi číselnými soustavami. Studenti si tak mohou ověřit převod z dvojkové soustavy do desítkové a naopak převod opačný v úkolech, v nichž je zadána dekadická hodnota, která je požadována převést na dvojkové číslo binárního slova. Při odečítání výstupních binárních hodnot, které jsou signalizovány hexadecimálními znaky na sedmisegmentovém zobrazovači, studenti užijí převod z dvojkové soustavy do hexadecimální.

SEZNAM POUŽITÝCH ZDROJŮ

Monografické publikace:

- 1) BERNKOPF, J.: Číslicová technika. Valašské Meziříčí, Integrovaná střední škola, 1998.
- 2) NEUMANN, K.: Elektronické obvody a funkční bloky. Praha, ČVUT, 2001.
- 3) MIKULEC, J.: Základy a teorie elektrických obvodů I, II. Praha, ČVUT, 2002.
- 4) ŠIMEK, J.: Elektronické systémy I, II. Praha, ČVUT, 2001.

Manuály:

- 5) RC přístroje Praha: Katalog DOMINOPUTER.

SEZNAM POUŽITÝCH SYMBOLŮ A ZKRATEK

ADP Analogově – digitální převodník. Elektronické zařízení, které převádí analogové signály do digitální formy.

CMOS (Complementary Metal Oxide Semiconductor).

DAP Digitálně – analogový převodník. Elektronické zařízení, které převádí digitální signály na analogovou veličinu.

FS (Full Scale). Celý rozsah stupnice analogové veličiny.

LSB (Least Significant Bit). Nejméně významný bit, bit nejnižšího řádu.

MSB (Most Significant Bit). Nejvýznamnější bit, bit nejvyššího řádu.

NPN (Negative – Positive - Negative). Typ polovodičového přechodu bipolárního tranzistoru.

LED (Light Emitting Diode). Elektroluminiscenční dioda, běžný zobrazovací prvek.

SAR (Succesive Approximation register). Registr postupné aproximace (obsahuje posuvný registr, paměťový registr a řídicí logiku).

TTL (Transistor Transistor Logic). Tranzistor – tranzistorová logika.

SEZNAM OBRÁZKŮ

Obr. 1. Jednoduchý vzorkovací zesilovač	9
Obr. 2. Princip vzorkování v čase.....	11
Obr. 3. Základní chyby D/A převodníků	13
Obr. 4. Princip kvantování v úrovních.....	13
Obr. 5. Zjednodušené zapojení A/D převodníku s paralelní komparací.....	16
Obr. 6. Schéma zapojení A/D převodníku s dvojí integrací	18
Obr. 7. Základní princip A/D převodníku s postupnou aproximací	20
Obr. 8. Schéma zapojení D/A převodníku s binární rezistorovou sítí	24
Obr. 9. Schéma zapojení D/A převodníku s rezistorovou sítí $R - 2R$	26
Obr. 10. Princip odporového děliče	29
Obr. 11. Princip kvantovacího bloku	30
Obr. 12. Schéma zapojení obvodu napěťového přizpůsobení pro logické obvody	32
Obr. 13. Schéma zapojení dekodéru z logických obvodů.....	36
Obr. 14. Výsledné schéma zapojení paralelního komparačního A/D převodníku	36
Obr. 15. Princip sumačního OZ jako převodníku I/U.....	39
Obr. 16. Princip jednoduchého tranzistorového spínače	42
Obr. 17. Principiální schéma měření parametrů tranzistoru	43
Obr. 18. Sloučení bloku spínačů a převodníku I/U	45
Obr. 19. Princip invertoru	47
Obr. 20. 8-bitový aproximační A/D převodník s automatickým krokováním převodu.....	51
Obr. 21. Princip aproximačního převodu.....	54
Obr. 22. 8-bitový D/A převodník s napěťovým výstupem	56

SEZNAM TABULEK

Tabulka I. Stavy napěťových úrovní U_K na výstupech komparátorů v závislosti na velikosti vstupního měřeného napětí U_{Vst}	31
Tabulka II. Stavy napěťových úrovní U_{KUpr} na výstupech komparátorů v závislosti na velikosti vstupního měřeného napětí U_{Vst}	33
Tabulka III. Přiřazení požadovaných stavů na výstupech dekodéru A, B existujícím vstupním stavům K	34
Tabulka IV. Pravdivostní tabulka hradel AND (7408), NAND (7400), EX-OR(7486).....	35
Tabulka V. Zpřesněné hodnoty rezistorů.....	37
Tabulka VI. Hodnoty rezistorů binárně váhované odporové sítě R_1, R_2	39
Tabulka VII. Ověření přesnosti sumačního zesilovače	41
Tabulka VIII. Napěťové úrovně logického selektoru	42
Tabulka IX. Velikost proudu I_B v závislosti na volbě rezistoru R_B	44
Tabulka X. Referenční napětí U_{Ref} při $R_B = 100k\Omega$ a $R_E = 2k\Omega$	48
Tabulka XI. Referenční napětí U_{Ref} při $R_B = 200k\Omega$ a $R_E = 10k\Omega$	48
Tabulka XII. Referenční napětí U_{Ref} při $R_B = 400k\Omega$ a $R_E = 5k\Omega$	48
Tabulka XIII. Referenční napětí U_{Ref} při $R_B = 1M\Omega$ a $R_E = 2k\Omega$	48
Tabulka XIV. Referenční napětí U_{Ref} při $R_B = 1M\Omega$ a $R_E = 10k\Omega$	48
Tabulka XV. Přehled všech vstupů a výstupů aproximačního ADP	50
Tabulka XVI. Rozsah RANGE.....	50
Tabulka XVII. Naměřené údaje pro třetí úkol.....	53
Tabulka XVIII. Ověření rozlišení na pozici LSB	53
Tabulka XIX. Ověření rozlišení na pozici MSB	53
Tabulka XX. Přehled všech vstupů a výstupů použitého DAP	55
Tabulka XXI. Rozsah RANGE.....	56
Tabulka XXII. Naměřené údaje pro třetí úkol.....	57
Tabulka XXIII. Ověření rozlišení na pozici LSB	58
Tabulka XXIV. Ověření rozlišení za pozicí MSB.....	58

SEZNAM PŘÍLOH

P 1 : Vzorový protokol č.1

P 2 : Vzorový protokol č.2

P 3 : Vzorový protokol č.3

P 4 : Vzorový protokol č.4

P 1 : Vzorový protokol č.1

Ověření vlastností 2-bitového analogově – číslicového komparačního převodníku

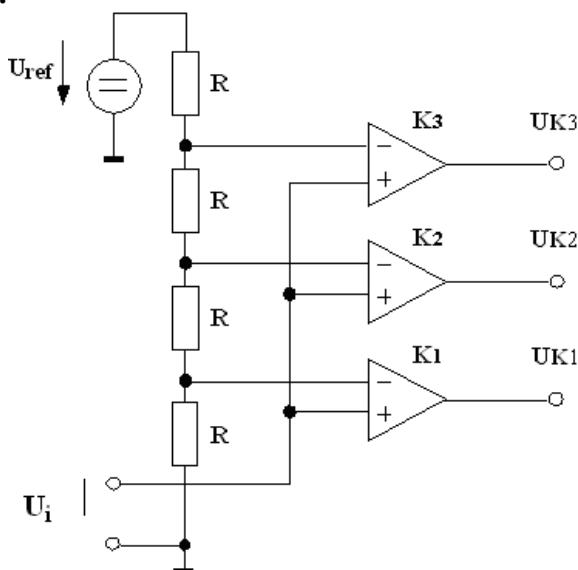
Úkol měření:

1. Seznamte se s principem analogově – číslicového komparačního převodníku.
2. Navrhněte a prakticky realizujte 2-bitový analogově - číslicový převodník. Při řešení postupujte podle těchto kroků:
 - a) Navrhněte převodní tabulku, podle které se bude převádět napětí U_I (analogový vstup převodníku) na kombinaci dvou čísel A, B (číslcový výstup převodníku).
 - b) Realizujte kvantování vstupního napětí U_I pomocí tří komparátorů s výstupy K_1, K_2, K_3 . Podle použitého typu operačního zesilovače ověřte (popřípadě upravte) napěťovou úroveň výstupů komparátorů pro TTL obvody.
 - c) Navrhněte tabulku hodnot, podle které se bude realizovat kódování jednotlivých kvantových úrovní napětí. Vstupními veličinami této tabulky budou výstupy z komparátorů K_1, K_2, K_3 , výstupními veličinami této tabulky budou proměnné A, B . Navrhněte elektrické zapojení výše zmiňované tabulky hodnot pomocí TTL obvodů.
 - d) Realizujte celkové zapojení převodníku z dílčích sestavených bloků
3. Ověřte funkčnost realizovaného 2 - bitového analogově-číslcového převodníku. Ověřte linearitu převodu, popřípadě se pokuste k linearitě přiblížit.

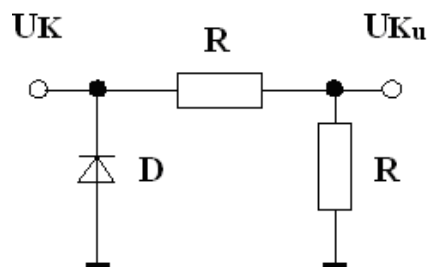
Seznam použitých přístrojů a součástek:

U	programovatelný zdroj stejnosměrného napětí	typ:
R	elektrický odpor	typ:
D	dioda	typ:
OZ	operační zesilovač	typ:

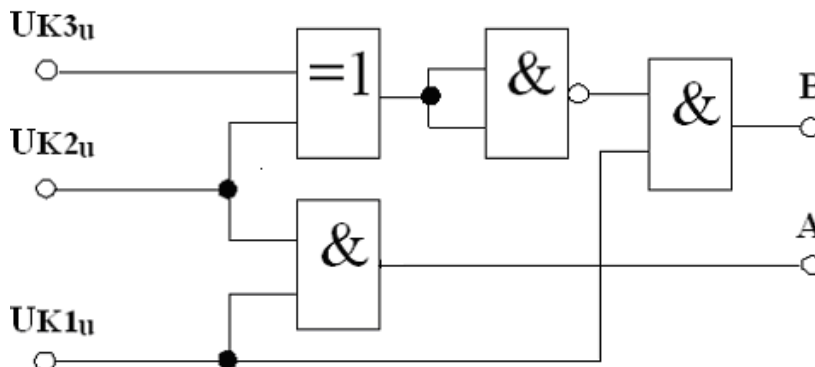
Schémata zapojení:



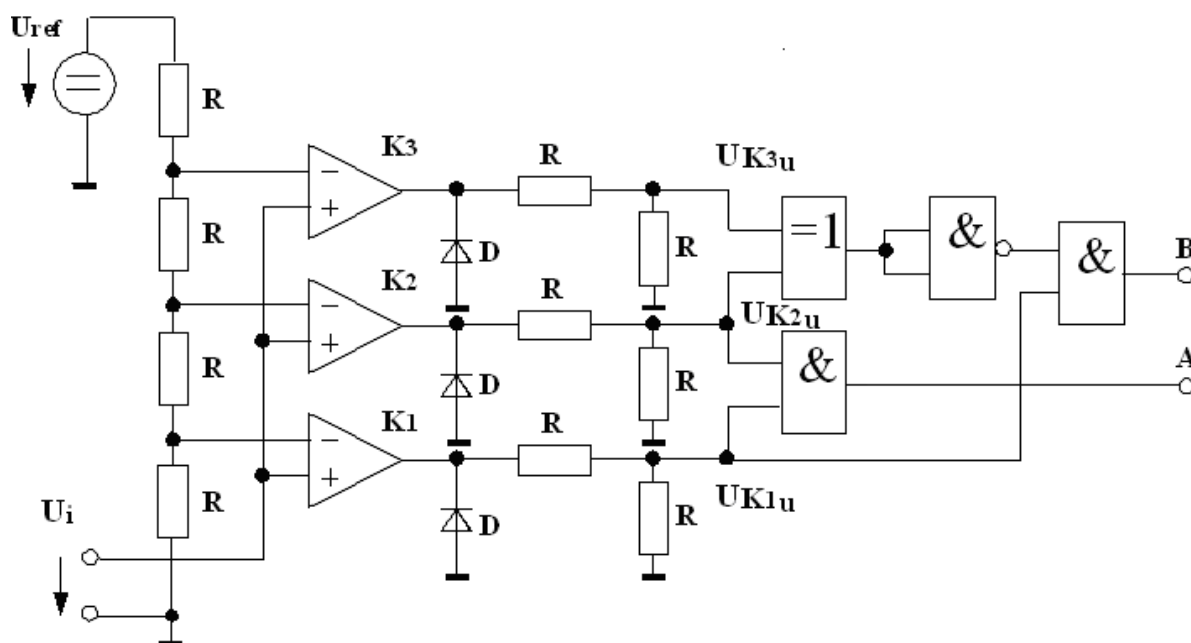
Obr. 1. Princip kvantování napětí pomocí komparátorů



Obr. 2. Princip úpravy napětí výstupu komparátoru pro TTL obvody



Obr. 3. Princip kódování kvantových úrovní napětí



Obr. 4. Celkové schéma zapojení převodníku

Teoretický rozbor úlohy:

Paralelní komparační převodníky srovnávají hodnotu vstupního napětí s odstupňovanými úrovněmi referenčního napětí. Tyto převodníky zpracovávají vstupní napětí všemi komparátory K současně. Referenční napětí U_{Ref} je ekvidistantně rozděleno odporovým řetězcem na kvantovací hladiny s rozestupem odpovídajícím LSB.

Vstupní napětí U_I je porovnáváno s těmito hladinami sadou komparátorů; počet komparátorů odpovídá počtu kvantovacích hladin, (viz. obr. 1). Ze zapojení plyne, že výstupním kódem komparátorů je kód „ m z N “, který je tvořen souvislou řadou jedniček od 0. pozice (jejich počet odpovídá počtu kvant vstupního napětí) doplněnou N nulami.

Tento kód není vzhledem k šířce slova praktický, proto převodník obsahuje ještě dekodér na výstupní kód, nejčastěji dvojkový.

Popsaný princip umožňuje dosáhnout vysoké četnosti převodu, omezené pouze dobou zpoždění komparátoru, dekodéru a dobou nutnou k ustálení přechodných dějů. Celý převod probíhá v jediném taktu, jde vůbec o nejrychlejší ADP. V praxi dosahují tyto převodníky řádově 10^7 až 10^9 převodů za vteřinu, což je předurčuje k použití pro digitalizaci obrazu, číslicové osciloskopy, analyzátory signálu a další oblasti s vysokými nároky na rychlost digitalizace. Jsou vyráběny s rozlišením 6, 8 a 10 bitů. Nevýhodou těchto převodníků je vyšší cena způsobená složitým obvodovým řešením s vysokým počtem 2^{n-1} komparátorů (např. 8-bitový ADP vyžaduje použití 255 komparátorů). Pokud chceme zvětšit výstup převodníku o jeden bit, je nutno použít v obvodu dvojnásobný počet komparátorů.

Naměřené a vypočítané hodnoty:

1. Počet komparátorů potřebných pro dvoubitový převodník

$$n =$$

2. Převodní tabulka převodu analogového vstupu na číslicový výstup

- zvolené referenční napětí

$$U_{Ref} =$$

- převodní tabulka A/D převodníku:

Analogový vstup převodníku	Číslicový výstup převodníku	
U_I	A	B

3. Ověření výstupního napětí komparátorů pro TTL obvody

- velikost výstupního napětí komparátorů bez úpravy napěťových úrovní

Stav	U_{k1}	U_{k2}	U_{k3}
$0 < U_I < U_{Ref}/4$			
$U_{Ref}/4 < U_I < U_{Ref}/2$			
$U_{Ref}/2 < U_I < 3U_{Ref}/4$			
$3U_{Ref}/4 < U_I < U_{Ref}$			

- velikost výstupního napětí komparátorů s úpravami napěťových úrovní

$0 < U_I < U_{Ref}/4$	U_{k1u}	U_{k2u}	U_{k3u}
$U_{Ref}/4 < U_I < U_{Ref}/2$			
$U_{Ref}/2 < U_I < 3U_{Ref}/4$			
$3U_{Ref}/4 < U_I < U_{Ref}$			
$0 < U_I < U_{Ref}/4$			

4. Tabulka hodnot pro kódování

Vstupy			Výstupy	
K_1	K_2	K_3	A	B

5. Navržené elektrické zapojení pro kódování kvantovaných napěťových úrovní

6. Naměřená převodní charakteristika A/D převodníku

- převodní charakteristika A/D převodníku

Výstupní slovo [bit]



7. Linearizace převodní charakteristiky

- tabulka navrženého odporového děliče pro linearizovanou převodní charakteristiku komparačního A/D převodníku

Navržené hodnoty rezistorů			
R_1	R_2	R_3	R_4

- linearizová převodní charakteristika A/D převodníku

Výstupní slovo [bit]



Zhodnocení výsledků měření:

P 2 : Vzorový protokol č.2

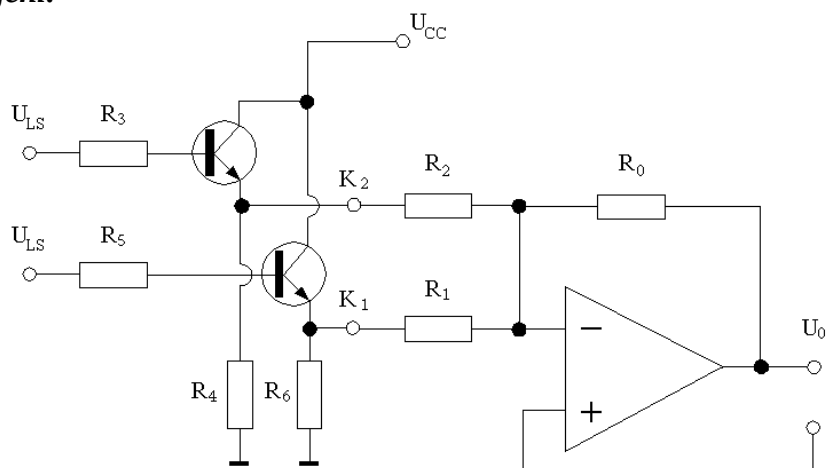
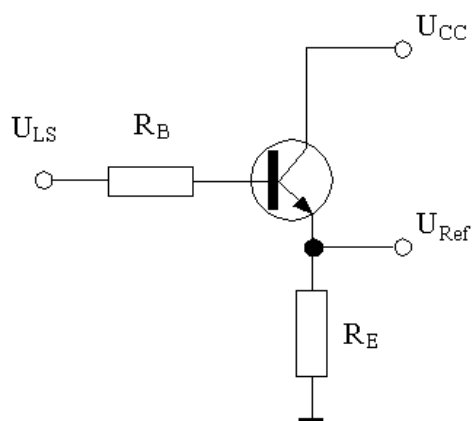
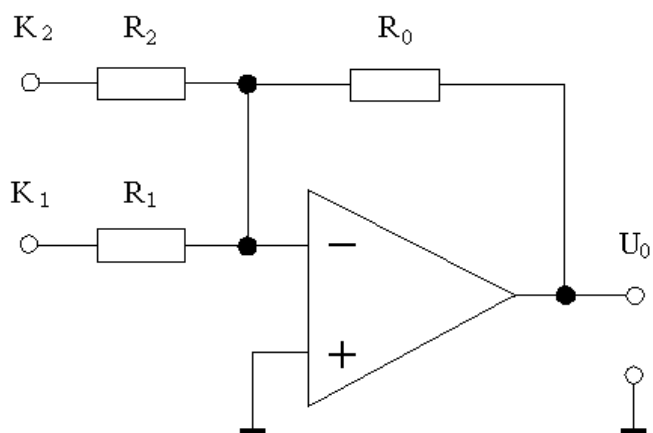
Ověření vlastností 2-bitového číslicově - analogového převodníku s váhovými rezistory

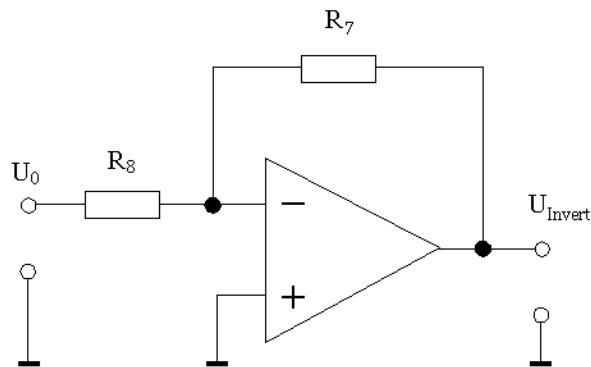
Úkol měření:

1. Seznamte se s principem číslicově - analogového převodníku s váhovými rezistory.
2. Navrhněte a prakticky realizujte 2-bitový číslicově - analogový převodník s binárně váhovanými rezistory. Při řešení postupujte podle těchto kroků:
 - a) Navrhněte převodní tabulku, podle které se bude převádět vstupní slovo převodníku se vstupy K_1, K_2 na výstupní napětí U_o .
 - b) Pro připojení jednotlivých rezistorů v odporové síti využijte bipolární tranzistor ve funkci spínače.
 - c) Pro realizaci převodníku využijte součtový invertující operační zesilovač, na jehož invertující vstup připojte binárně váhovanou odporovou síť; zvolte vhodný zpětnovazební rezistor podle požadovaného napěťového rozsahu převodníku.
3. Ověřte funkčnost realizovaného 2-bitového číslicově-analogového převodníku. Ověřte linearitu převodu, popřípadě se pokuste k linearitě přiblížit.

Seznam použitých přístrojů a součástek:

U	programovatelný zdroj stejnosměrného napětí	typ:
R	elektrický odpor	typ:
T	tranzistor	typ:
OZ	operační zesilovač	typ:

Schéma zapojení:**Obr. 5. Princip zapojení D/A převodníku s binárně váhovanou odporovou sítí****Obr. 6. Princip proudového spínače****Obr. 7. Schéma zapojení OZ s váhovými rezistory**



Obr. 8. Princip invertoru

Teoretický rozbor úlohy:

Digitálně - analogový převodník (DAP) je blok obvodů, který převádí hodnotu vstupního čísla „D“ (obvykle binárního)

$$D = b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_n \cdot 2^{-n} \quad (1)$$

na výstupní analogovou veličinu obvykle lineárně napětí nebo proud. Paralelní D/A převodníky s váhovými rezistory využívají společný zdroj referenčního napětí U_{Ref} a síť rezistorů, pomocí kterých se získají binárně odstupňované zdroje proudu. Podle realizace se síť rezistorů rozlišují na více typů. V této úloze budeme využívat vlastnosti binárně váhované odporové sítě. Tato síť využívá rezistorů s hodnotami, které odpovídají váhám bitů vstupního slova (viz. obr. 7). Pro toto zapojení ohmické odpory jednotlivých rezistorů budou pro binární kód rovny:

$$R_m = 2^{m-1} \cdot R. \quad (2)$$

kde m je bit vstupního dvojkového čísla (jeho spínač sepne nebo rozezne referenční napětí na tomto rezistoru). Hodnota R je hodnotou rezistivity nejmenšího odporu, kterým bude protékat v odporové síti (největší) proud váhy MSB. Součástí převodníku je zároveň i invertující zapojení OZ, které díky virtuální zemi na invertujícího vstupu dokáže sčítat příspěvky z jednotlivých vstupů tak, že se vstupy zájemně neovlivňují. Součet získaných váhových proudů převádí na napětí podle vzorce:

$$U_{výst} = -\frac{R}{2} \sum_{m=1}^n b_m \cdot I_m = -\frac{R}{2} \sum_{m=1}^n b_m \frac{U_{Ref}}{2^{m-1} \cdot R} = -U_{Ref} \sum_{m=1}^n b_m \cdot 2^{-m} = -U_{Ref} \cdot D \quad (3)$$

kde je: b_m hodnota m -tého bitu vstupního dvojkového čísla;
 Dvstupní číselné slovo o rozsahu jednotlivých bitů $<0,1$);
 U_{Ref}referenční napětí.

Elektronické přepínače jsou ovládány řídicí logikou číslicových vstupů podle binárního čísla, které má být převedeno na analogový signál a připínají určité vstupy OZ buď na analogovou referenční veličinu nebo na zem.

Převodník má n číslicových vstupů a jeho výstupní napětí tedy může rozlišit 2^n úrovní. Obvod je zapojen jako invertující zesilovač s více vstupy. Jednotlivé vstupy se od sebe navzájem neoddělují, jelikož jsou od sebe odděleny virtuální zemí na vstupu invertujícího operačního zesilovače. Největší vliv na velikost výstupního napětí má odpor s nejmenší rezistivitou. Do společného uzlu nutí téci největší proud. Každý následující odpor má dvojnásobně větší rezistivitu než rezistor předchozí a jeho vliv je tedy oproti předchozímu rezistoru poloviční. Zesílení operačního zesilovače a zároveň i velikost analogového napětí na výstupu OZ nastavujeme zpětnovazebním odporem R_0 . Při větším počtu číslicových vstupů narůstá počet potřebných hodnot přesných rezistorů a taktéž roste poměr mezi hodnotou největšího a nejmenšího rezistoru.

Naměřené a vypočítané hodnoty:

1. Převodní tabulka převodu číslicového vstupu na analogový výstup

- zvolené referenční napětí

$$U_{Ref} =$$

- převodní tabulka ideálních hodnot D/A převodníku:

Vstupní slovo		Analogový výstup převodníku
K_2	K_1	U_o [V]

2. Tabulka parametrů logického selektoru vstupů K

Logická úroveň	U_{LS} [V]	U_{Ref} [V]
0		
1		

3. Ověření vlastností proudového tranzistorového spínače

4. Převodní tabulka převodu číslicového vstupu na analogový výstup

- tabulka zvolených rezistorů pro váhovou síť

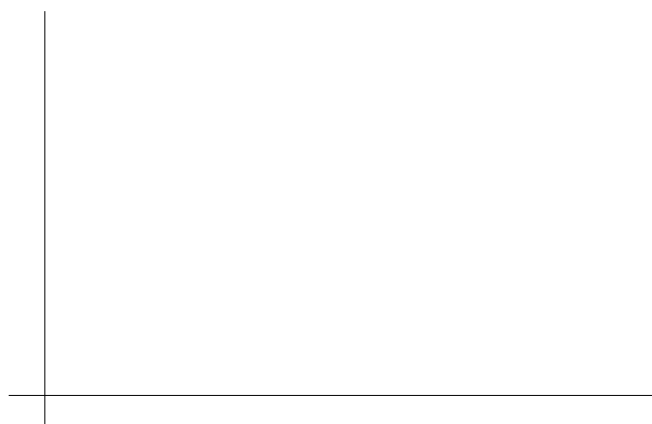
Navržené hodnoty rezistorů		
R_0 [k Ω]	R_1 [k Ω]	R_2 [k Ω]

- převodní tabulka naměřených hodnot D/A převodníku:

Vstupní slovo		Analogový výstup převodníku
K_2	K_1	U_o [V]

- převodní charakteristika D/A převodníku

Výstupní napětí U_o [V]



Vstupní slovo [bit]

5. Ověření funkce a linearizace převodníku

- jiné zvolené referenční napětí

$$U_{Ref} =$$

- tabulka naměřených hodnot při linearizaci

Referenční napětí U_{Ref} při $R_B = \quad k\Omega$ a $R_E = \quad k\Omega$

K_2 [V]	K_1 [V]	$U_{Výst}$ [V]

- převodní charakteristika D/A převodníku

Výstupní napětí U_o [V]



Zhodnocení výsledků měření:

P 3 : Vzorový protokol č.3

Úloha č.3 - Ověření vlastností 8-bitového analogově – číslicového aproximačního převodníku

Úkol měření:

1. Seznamte se s principem analogově – číslicového aproximačního převodníku.
2. Proved'te následující úkoly dle zadání. U každého úkolu si do tabulky pečlivě zaznamenejte hodnotu měřeného napětí, binární číslo na výstupu převodníku a tomu odpovídající znaky šestnáctkové soustavy na sedmisegmentovém zobrazovači:
 - a) Zapojte aproximační převodník s automatickým krokováním a měřené napětí přiveďte přes impedanční převodník. Nastavte rozsah převodu na $0 \div 5V$. Pro sledování stavu na výstupu doplňte měřicí zapojení o modul sedmisegmentového zobrazovače.
 - b) Seznamte se s činností aproximačního převodníku. Zjistěte, který bit má nejvyšší váhu (Most Significant Bit – MSB) a který bit naopak nejnižší (Least Significant Bit – LSB).
 - c) Zaznamenejte hodnotu měřeného napětí kdy se na výstupu převodníku objeví právě tato číselná slova: 00000000, 10000000, 11111111.
 - d) Vypočítejte rozlišení převodníku (tj. napětí odpovídající změně o 1 LSB) pro nastavený rozsah.
 - e) Zjistěte jaké napětí je třeba přivést na vstup převodníku, aby se na výstupu objevilo binární slovo, které po převedení do desítkové soustavy bude mít dekadickou hodnotu rovnu:
 - $[50 + 5 \cdot i]$
 - $[160 + 6 \cdot i]$

Pozn.: **i** je číslo, které přidělí studentům cvičící.

- f) Použijte první napětí z předchozího úkolu. Zapojte převodník na ruční krokování. Zaznamenejte celý postup aproximačního převodu a vynesete do grafu napětí odpovídající jednotlivým vstupním slovům během převodu.
- g) Opakujte úkoly c), d), e) při změně rozsahu na $\pm 5V$.

Seznam použitých přístrojů a součástek:

Programovatelný zdroj stejnosměrného napětí	typ:
A/D aproximační převodník	typ:
Sedmisegmentový zobrazovač	typ:

Teoretický rozbor úlohy:

Každý aproximační převodník obsahuje komparátor, digitálně – analogový převodník, generátoru hodinového signálu (v případě laboratorní úlohy č.3 budou řídicí hodinové impulsy na převodník přivedeny externě) a aproximační registr (do něhož je zahrnut posuvný registr, paměťový registr a příslušné řídicí logické obvody). Aproximační registr postupně „zkusmo“ nastavuje jednotlivé bity výsledného binárního čísla, počínaje od MSB. Po každém pokusu je nastavené číslo pomocí D/A převodníku převedeno na napětí U_{DAP} a na komparátoru je porovnáváno s vstupním měřeným napětím U_{Vst} . Pokud je nastavené binární číslo a jemu odpovídající napětí U_{DAP} větší než měřené napětí, naposled nastavený bit je vynulován a postupuje se na bit číselného slova o jeden řád nižší.

Tabulka I. Přehled všech vstupů a výstupů aproximačního ADP

Název položky	Funkce
INPUT	Vstup převodníku
OUTPUT (D0 – D7)	Výstupy převodníku
RANGE	Napětíový rozsah převodníku
/SELECT	Výběr obvodu
/WRITE	Start převodu
/READ	Třetí stav výstupu
/LATCH	Zápis do výstupního bufferu
CLK0	Výstup vnitřních hodin
CLK1	Vstup pro vnější hodinové impulsy
IN SH	Vstup vzorkovače SH
OUT SH	Výstup vzorkovače SH
/HOLD	Řízení vzorkovače
SOUT	Sériový výstup převodníku
/BUSY	Stav výstupu
+5	Prívod +5V
GND	Prívod GND

Pozn.: Vstupy /HOLD, /LATCH, /READ, /SELECT a /WRITE jsou vstupy negované, tedy k jejich aktivaci je nutné přivést logickou úroveň L

Při laboratorním měření bude používán osmibitový A/D převodník s postupnou aproximací o době převodu $5\mu s$. Poloha jednotlivých DIP přepínačů na rozsahu RANGE

(viz. tabulka II) určuje, v jakých napět'ových mezích bude měření na aproximačním A/D převodníku určuje probíhat.

Tabulka II. Rozsah RANGE

<i>Kombinace přepínačů rozsahu RANGE</i>	<i>Zvolený napět'ový rozsah</i>
0110	0 ÷ 5V
0100	0 ÷ 10V
1000	0 ÷ 20V
0111	± 2,5V
0101	± 5V
1001	± 10V

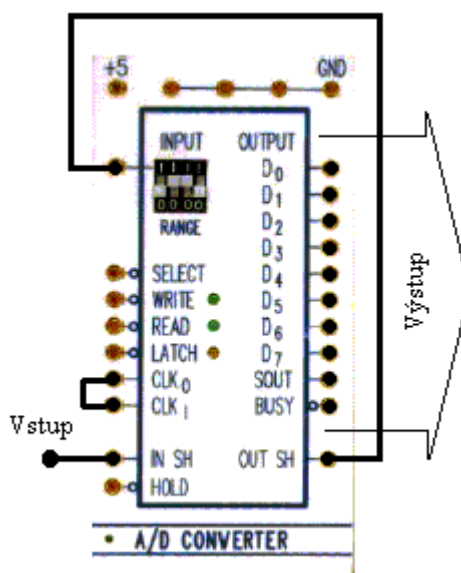
Převodník je nutno před započítím převodu aktivovat negovaným vstupem pro výběr obvodu, tedy připojit na vstup /SELECT logickou úroveň L. Samotný převod analogové vstupní veličiny na výstupní číslcové slovo je velmi rychlý. U osmibitového A/D převodníku je dosaženo správného osmibitového výsledku během 8 cyklů. Každý cyklus převodu je započat přivedením nového hodinového impulsu na blok hodinových vstupů převodníku. Podle zapojení hodinových vstupů lze rozdělit převod na:

- převod s ručním krokováním

Jednotlivé hodinové impulsy dodávané z tlačítka logického selektoru popř. z generátoru časové základny jsou přiváděny hodinový vstup CLK₁. Pro kompletní převod je nutno přivést 8 impulsů.

- převod s automatickým krokováním

Přivedením jediného impulsu na negovaný vstup /WRITE se na pomocném výstupu CLK₀ vygeneruje právě 8 impulsů, takže propojením výstupu CLK₀ a hodinového vstupu CLK₁ se zajistí kompletní převod na jediný impuls.



Obr. 9. 8-bitový aproximační A/D převodník s automatickým krokováním převodu

Měřené napětí U_{Vst} je přiváděno na vstup INPUT přes impedanční převodník o rezistivitě vyšší než 500MΩ se vzorkovacím obvodem (SAMPLE&HOLD). Vstup vzorkovače je označen jako IN SH a výstup jako OUT SH. Vstupní napětí, jež bude

převedeno na číselnou posloupnost jednotlivých bitů, lze měřit na paralelních výstupech (D_0 - D_7) jako logické úrovně. Je možno používat také sériový výstup (SOUT) s indikací stavu převodu (BUSY).

Je definován vztah pro výpočet rozlišení q :

$$q = \frac{FS}{2^N},$$

kde FS je hodnota celého analogového rozsahu a N je počet bitů daného převodníku.

Naměřené a vypočítané hodnoty:

1. Nastavení rozsahu pro měření na aproximačním A/D převodníku:

- Použitý rozsah převodníku:
- Tomu odpovídající nastavení přepínačů rozsahu RANGE:

2. Ověření významnosti - váhy výstupních bitů číslicového slova:

- Bit nejnižšího řádu:
- Bit nejvyššího řádu:

3. Měření požadovaného vstupního napětí pro zadané výstupní logické úrovně

- tabulka naměřených hodnot

Vstupní napětí [V]	Binární číslo	Hexadecimální znak
	00000000	
	10000000	
	11111111	

4. Rozlišení aproximačního A/D převodníku:

Ověření rozlišení výpočtem:

Ověření rozlišení měřením:

- rozlišení na pozici LSB

Vstupní napětí [V]	Binární číslo	Hexadecimální znak
	00000000	
	00000001	

- rozlišení na pozici MSB

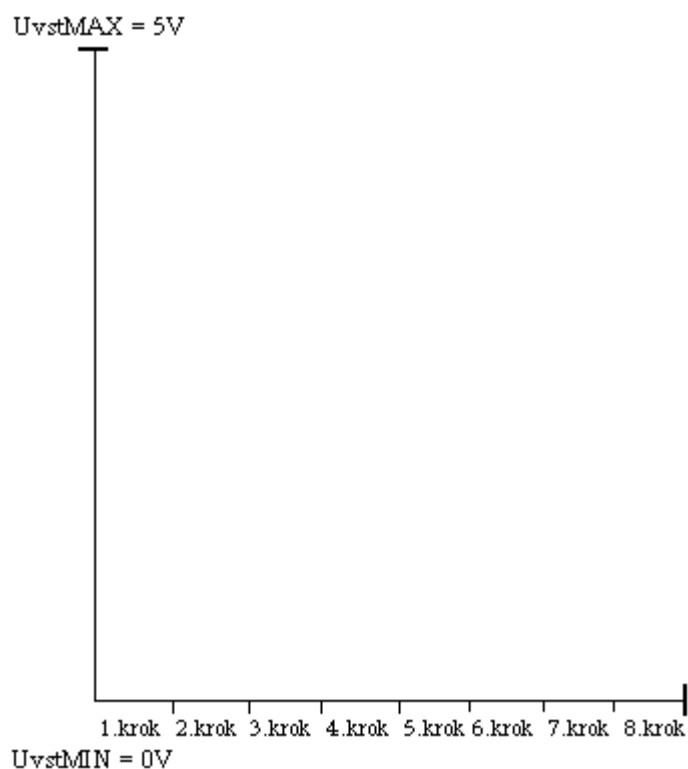
Vstupní napětí [V]	Binární číslo	Hexadecimální znak
	01111111	
	10000000	

5. Nastavení vstupního napětí odpovídajícímu zadané dekadické hodnotě binárního čísla:

Vstupní napětí	Dekadické číslo	Binární číslo	Hexadecimální znak

6. Postup aproximace ručním krokováním:

- Graf odvozených hodnot napětí podle vah bitů v jednotlivých krocích



7. Nastavení rozsahu pro měření na aproximačním A/D převodníku:

- Použitý rozsah převodníku:
- Tomu odpovídající nastavení přepínačů rozsahu RANGE:

8. Měření požadovaného vstupního napětí pro zadané výstupní logické úrovně

- tabulka naměřených hodnot

Vstupní napětí [V]	Binární číslo	Hexadecimální znak
	00000000	
	10000000	
	11111111	

9. Rozlišení aproximačního A/D převodníku:

Ověření rozlišení výpočtem:

Ověření rozlišení měřením:

- rozlišení na pozici LSB

Vstupní napětí [V]	Binární číslo	Hexadecimální znak
	00000000	
	00000001	

- rozlišení na pozici MSB

Vstupní napětí [V]	Binární číslo	Hexadecimální znak
	01111111	
	10000000	

10. Nastavení vstupního napětí odpovídajícímu zadané dekadické hodnotě binárního čísla:

Vstupní napětí [V]	Dekadické číslo	Binární číslo	Hexadecimální znak

Zhodnocení výsledků měření:

P 4 : Vzorový protokol č.2

Úloha č.4 - Ověření vlastností 8-bitového číslicového – analogového převodníku s napět'ovým výstupem

Úkol měření:

1. Seznamte se s principem číslicově - analogového převodníku s napět'ovým výstupem.
2. Proved'te následující úkoly dle zadání. U každého úkolu si do tabulky pečlivě zaznamenejte hodnotu vstupního binárního slova a tomu odpovídající výstupní napětí odečtené na digitálním multimetru:
 - a) Proved'te nastavení rozsahu převodu DAP na $0 \div 5V$.

- b) Zadáním vhodného číselného slova tlačítka logického selektoru a odečítáním hodnot na digitálním multimetru zjistíte, který bit má nejvyšší váhu (Most Significant Bit – MSB) a který bit naopak nejnižší (Least Significant Bit – LSB).
- c) Ověřte, jaké hodnoty výstupního napětí odpovídají vstupním slovům 00000000, 10000000, 11111111.
- d) Vypočítejte rozlišení D/A převodníku (tj. napětí odpovídající změně o 1 LSB) pro nastavený rozsah.
- e) Zjistěte velikost napětí naměřeného na výstupu převodníku pokud bude nastavené vstupní binární slovo odpovídat hodnotě dekadického čísla:
- $[150 + 5 \cdot i]$
 - $[95 + 2 \cdot i]$
- Pozn.: i je číslo, které přidělí studentům cvičící.
- f) Nastavte takovou hodnotu vstupního číselného slova, aby bylo získáno na výstupu převodníku napětí s největší možnou přesností o hodnotě:
 $[2,20V + 0,3V \cdot i]$.
- g) Opakujte úkoly c), d), e), f) při změně rozsahu na $\pm 5V$.

Seznam použitých přístrojů a součástek:

Logický selektor

typ:

D/A převodník s napětovým výstupem

typ:

Digitální multimetr ve funkci voltmetru

typ:

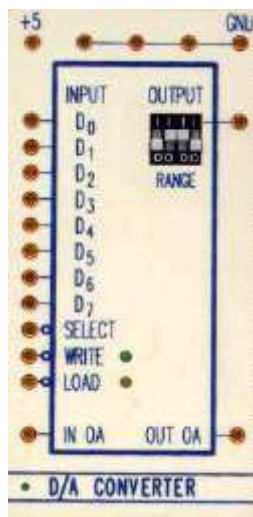
Teoretický rozbor úlohy:

Digitálně – analogový převodník se zjednodušeně skládá z bloku elektronických spínačů, odporové sítě a převodníku proudu na napětí. Elektronické spínače jsou řízeny jednotlivými bity číselného slova, které je požadováno převést na analogový signál. Spínače připojují určité části odporové sítě buď k referenčnímu napětí, anebo k nulovému potenciálu. Proud z referenčního zdroje protékající rezistory v odporové síti jsou sčítány a převedeny na výstupní napětí.

Tabulka III. Přehled všech vstupů a výstupů použitého DAP

Název položky	Funkce
INPUT ($D_0 - D_7$)	Vstupy převodníku
OUTPUT	Výstup převodníku
RANGE	Napětový rozsah převodníku
/SELECT	Výběr obvodu
/WRITE	Zápis do I. paměťového registru
/LOAD	Zápis do II. paměťového registru
IN OA	Vstup invertoru
OUT OA	Výstup invertoru
+5	Prívod +5V
GND	Prívod GND

Pozn.: Vstupy /LOAD, /SELECT a /WRITE jsou vstupy negované, tedy k jejich aktivaci musí být přivedena logická úroveň L.



Obr. 10. 8-bitový D/A převodník s napěťovým výstupem

Při laboratorním měření bude používán osmibitový D/A převodník s napěťovým výstupem. Volba rozsahu výstupního napětí je provedena nastavením polohy jednotlivých DIP přepínačů rozsahu RANGE (viz. tabulka IV).

Tabulka IV. Rozsah RANGE

<i>Kombinace přepínačů rozsahu RANGE</i>	<i>Zvolený napěťový rozsah</i>
0110	0 ÷ 5V
0100	0 ÷ 10V
0111	± 2,5V
0101	± 5V
1001	± 10V

Před započítáním samotného převodu je nutné převodník aktivovat logickou úrovní L přivedenou na vstup /SELECT. Vstup /WRITE slouží pro zápis do prvního paměťového registru. Vstup /LOAD slouží pro zápis do druhého paměťového registru. Oba naposled zmínované řídicí vstupy nebudou během měření využívány. Pro změnu polarity výstupního napětí je k převodníku D/A přidružen analogový invertor se zesílením právě „–1“. Přičemž vstup invertoru je označen jako IN OA a výstup OUT OA.

Je definován vztah pro výpočet rozlišení q :

$$q = \frac{FS}{2^N},$$

kde FS je hodnota celého analogového rozsahu a N je počet bitů daného převodníku.

Naměřené a vypočítané hodnoty:

1. Nastavení rozsahu pro měření na aproximačním A/D převodníku:

- Použitý rozsah převodníku:
- Tomu odpovídající nastavení přepínačů rozsahu RANGE:

2. *Ověření významnosti - váhy výstupních bitů číselného slova:*

- *Bit nejnižšího řádu:*
- *Bit nejvyššího řádu:*

3. *Měření velikosti výstupního napětí pro nastavené vstupní číselné slovo*

- *tabulka naměřených hodnot*

Binární číslo	Výstupní napětí [V]
00000000	
10000000	
11111111	

4. *Rozlišení D/A převodníku s napěťovým výstupem:*

Ověření rozlišení výpočtem:

Ověření rozlišení měřením:

- *rozlišení na pozici LSB*

Binární číslo	Výstupní napětí [V]
00000000	
00000001	

- *rozlišení na pozici MSB*

Binární číslo	Výstupní napětí [V]
00000000	
00000001	

5. *Naměřené hodnoty výstupního napětí odpovídající dekadické hodnotě nastaveného číselného slova:*

Binární číslo	Dekadické číslo	Výstupní napětí [V]

6. *Nastavené vstupní číselné slovo podle hodnoty výstupního napětí požadované ze zadání:*

7. *Nastavení rozsahu pro měření na aproximačním A/D převodníku:*

- *Použitý rozsah převodníku:*

- Tomu odpovídající nastavení přepínačů rozsahu RANGE:

8. Měření velikosti výstupního napětí pro nastavené vstupní číselné slovo

- tabulka naměřených hodnot

Binární číslo	Výstupní napětí [V]
00000000	
10000000	
11111111	

9. Rozlišení D/A převodníku s napěťovým výstupem:

Ověření rozlišení výpočtem:

Ověření rozlišení měřením:

- rozlišení na pozici LSB

Binární číslo	Výstupní napětí [V]
00000000	
00000001	

- rozlišení na pozici MSB

Binární číslo	Výstupní napětí [V]
00000000	
10000000	

10. Naměřené hodnoty výstupního napětí odpovídající dekadické hodnotě nastaveného číselného slova:

Binární číslo	Dekadické číslo	Výstupní napětí[V]

11. Nastavené vstupní číselné slovo podle požadované hodnoty výstupního napětí:

Zhodnocení výsledků měření: